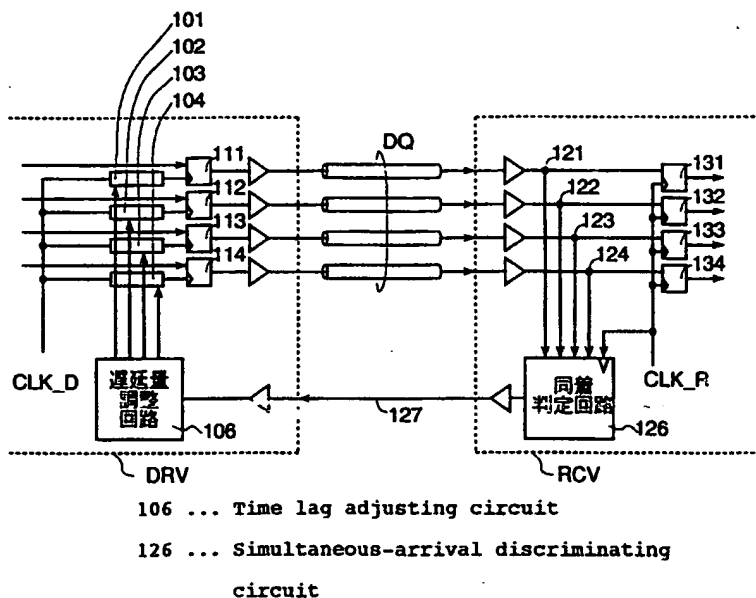




|  |           |  |
|--|-----------|--|
| <b>(51) 国際特許分類6</b><br><b>G06F 13/42, G11C 11/407</b>  | <b>A1</b> | <b>(11) 国際公開番号</b><br><b>WO99/46687</b><br><br><b>(43) 国際公開日</b><br><b>1999年9月16日(16.09.99)</b>  |
| <b>(21) 国際出願番号</b><br>PCT/JP98/01032<br><br><b>(22) 国際出願日</b><br>1998年3月12日(12.03.98)<br><br><b>(71) 出願人 (米国を除くすべての指定国について)</b><br>株式会社 日立製作所(HITACHI, LTD.)(JP/JP)<br>〒101-8010 東京都千代田区神田駿河台四丁目6番地<br>Tokyo, (JP)<br><b>(72) 発明者 ; および</b><br><b>(75) 発明者 / 出願人 (米国についてのみ)</b><br>佐藤高史(SATO, Takashi)(JP/JP)<br>〒185-0013 東京都国分寺市西恋ヶ窪3丁目8番1号<br>日立恋ヶ窪寮 Tokyo, (JP)<br>西尾洋二(NISHIO, Yoji)(JP/JP)<br>〒316-0021 茨城県日立市台原町3丁目13番2号 Ibaraki, (JP)<br>中込儀延(NAKAGOME, Yoshinobu)(JP/JP)<br>〒205-0021 東京都羽村市川崎4丁目2番1号 Tokyo, (JP)<br><b>(74) 代理人</b><br>弁理士 高橋明夫(TAKAHASHI, Akio)<br>〒103-0025 東京都中央区日本橋茅場町二丁目9番8号<br>友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP) |           | <b>(81) 指定国</b> AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, SL, TR, TT, UA, US, UZ, VN, YU, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)<br><br><b>添付公開書類</b><br>国際調査報告書 |

(54)Title: DATA TRANSMITTER

(54)発明の名称 データ伝送装置



## (57) Abstract

When a load capacitance difference including a cable line length difference and a parasitic element exists between parallel data lines, the propagating time lag between data reaches a level hard to ignore. Therefore, when particularly high-speed data having a short period are transmitted, the set-up time and hold time for data fetching cannot be secured and data are not transmitted normally. Since a data transmitter is provided with a circuit to discriminate reception without delay which compares the phases of a part or all of the bits of received data in a receiver that receives parallel data and a timing adjusting mechanism which adjusts the phase among parallel bits at the data fetching point of the receiver based on the results of the discriminating circuit, each data bit can be made to simultaneously arrive at the receiver. Therefore, the set-up time and hold time can be secured even when differences exist in the cable line length and load capacitance.

(57)要約

並列データ配線間に経路長差や寄生素子を含めた負荷容量の相違がある場合、データ間の伝播遅延時間差が無視できない大きさとなる。このため、特に周期の短い高速データ伝送時に、データ取込みのためのセットアップ時間とホールド時間が確保できず、データが正常に伝送できなくなる。これに対し、本発明のデータ伝送装置は、並列データを受信するレシーバに受信データの一部または全部のビットの位相を比較する同着判定回路を設け、この同着判定回路の判定結果に基づいてレシーバのデータ取込み点での並列ビット間の位相を調整するタイミング調整機構を設けることにより、各データビットをレシーバに同着させることができる。したがって、上記経路長差や負荷容量の相違があってもデータ取込みのためのセットアップ時間とホールド時間を確保できる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

|                 |            |              |               |
|-----------------|------------|--------------|---------------|
| AE アラブ首長国連邦     | DM ドミニカ    | KZ カザフスタン    | SD スーダン       |
| AL アルバニア        | EE エストニア   | LC セントルシア    | SE スウェーデン     |
| AM アルメニア        | ES スペイン    | LI リヒテンシュタイン | SG シンガポール     |
| AT オーストリア       | FI フィンランド  | LK スリ・ランカ    | SI スロヴェニア     |
| AU オーストラリア      | FR フランス    | LR リベリア      | SK スロヴァキア     |
| AZ アゼルバイジャン     | GA ガボン     | LS レソト       | SL シェラ・レオネ    |
| BA ボスニア・ヘルツェゴビナ | GB 英国      | LT リトアニア     | SN セネガル       |
| BB バルバドス        | GD グレナダ    | LU ルクセンブルグ   | SZ スワジランド     |
| BE ベルギー         | GE グルジア    | LV ラトヴィア     | TD チャード       |
| BF ブルキナ・ファソ     | GH ガーナ     | MC モナコ       | TG トーゴ        |
| BG ブルガリア        | GM ガンビア    | MD モルドヴァ     | TJ タジキスタン     |
| BJ ベナン          | GN ギニア     | MG マダガスカル    | TZ タンザニア      |
| BR ブラジル         | GW ギニア・ビサウ | MK マケドニア     | TM トルクメニスタン   |
| BY ベラルーシ        | GR ギリシャ    | MC マケドニア     | TR トルコ        |
| CA カナダ          | HR クロアチア   | ML マリ        | TT トリニダード・トバゴ |
| CF 中央アフリカ       | HU ハンガリー   | MN モンゴル      | UA ウクライナ      |
| CG コンゴ          | ID インドネシア  | MR モリタニア     | UG ウガンダ       |
| CH スイス          | IE アイルランド  | MW マラウイ      | US 米国         |
| CI コートジボアール     | IL イスラエル   | MX メキシコ      | UZ ウズベキスタン    |
| CM カメルーン        | IN インド     | NE ニジェール     | VN ヴィエトナム     |
| CN 中国           | IS アイスランド  | NL オランダ      | YU ユーゴスラビア    |
| CR コスタ・リカ       | IT イタリア    | NO ノールウェー    | ZA 南アフリカ共和国   |
| CU キューバ         | JP 日本      | NZ ニュー・ジーランド | ZW ジンバブエ      |
| CY キプロス         | KE ケニア     | PL ポーランド     |               |
| CZ チェコ          | KG キルギスタン  | PT ポルトガル     |               |
| DE ドイツ          | KP 北朝鮮     | RO ルーマニア     |               |
| DK デンマーク        | KR 韓国      | RU ロシア       |               |

## 明 細 書

### データ伝送装置

#### 技術分野

- 本発明は、並列データを伝送するデータ伝送装置に関し、特にメモリ
- 5 システムにおける高速データ伝送に好適なデータ伝送装置に関する。

#### 背景技術

- 高速なデータ伝送を行う装置では、伝送経路によるデータ伝播遅延時間
- 10 間データ伝送周期に対して無視できない値にまで大きくなってきて
- いる。高速なデータ伝送速度が要求される装置の一例として、マイクロ
- プロセッサ (MPU) と、メモリコントローラ LSI と、複数のメモリモジュールと
- からなり、パーソナルコンピュータなどで使用されるメモリシステムがある。
- 各メモリモジュールには、メモリチップであるシンクロナ
- ス DRAM (SDRAM) が複数個搭載されている。このようなメモリシステムで
- 15 は、データの読出しの際は、メモリモジュール上の SDRAM がデータを送
- 信するドライバとなり、メモリコントローラがデータを受信するレシー
- バとなる。

- 各メモリモジュール上で同位置のメモリは、バス上のデータ信号配線を共有する。
- このとき、メモリコントローラ LSI 側に近いメモリモジュール上の SDRAM
- 20 からのデータ読出しと、メモリコントローラ LSI から遠いメモリモジュール上の SDRAM
- からのデータ読出しでは、メモリモジュールとメモリコントローラ LSI 間の配線長が異なる。
- このため、メモリコントローラ LSI が、遠いメモリモジュール上の SDRAM からのデータ読出しを行う場合には、近いメモリモジュール上の SDRAM からのデータ読

出しを行う場合と比較して、両メモリモジュール間の伝播遅延時間の差分だけデータの到着が遅れる。

このように、モジュールの位置の相違によって異なるタイミングで到着する信号に対し、レシーバが一定タイミングの基準信号を用いてデータ取込みを行うと、データの有効な時間が減少し、データ取込みのためのセットアップ時間とホールド時間が確保できなくなるという問題がある。

こうした問題を解決するために、例えば、特開平 3-157030 号公報に開示されている方法がある。これは、データを出力するドライバが、自己データを取り込むための基準信号をデータ信号とともに送出して、伝送遅延時間差を吸収する方法である。

ここで、前述したメモリシステムで使用されるデータビット幅 64 ビットのメモリモジュールの典型的な構成例を、図 3 に模式的に示す。図 3(a) は、 $\times 16$  ビット出力の SDRAM を 4 個搭載するメモリモジュールであり、図 3(b) は、 $\times 4$  ビット出力の SDRAM を 16 個搭載するメモリモジュールである。ただし、図 3(b) はメモリモジュールの片面を示してある。

図 3(a), (b) の両メモリモジュールは統一されたピン配置を用いており、データ信号  $DQ_i$  ( $i=0-63$ )、メモリコントローラ LSI から SDRAM にデータを書込む際に基準とする信号  $CLK_j$  ( $j=0-3$ )、および SDRAM からメモリコントローラ LSI にデータを読出す際の基準信号  $DQS_j$  ( $j=0-3$ ) を 4 本ずつ有する。データ信号  $DQ_i$  は 64 ビットあるから、基準信号  $CLK_j$  および  $DQS_j$  は、それぞれ 16 本のデータ信号の取込み基準とする。

以下、基準信号  $CLK_0$  および  $DQS_0$  はそれぞれデータ信号  $DQ_0-DQ_{15}$ 、基準信号  $CLK_1$  および  $DQS_1$  はそれぞれデータ信号  $DQ_{16}-DQ_{31}$ 、基準信号  $CLK_2$  および  $DQS_2$  はそれぞれデータ信号  $DQ_{32}-DQ_{47}$ 、基準信号  $CLK_3$  およ

び DQS3 はそれぞれデータ信号 DQ48-DQ63 の信号の書込み動作および読出し動作の取込み基準とする。

ここで、図 3 (a) のメモリモジュールでは、搭載する SDRAM が 4 個であるため、基準信号とそれに対応する 16 本のデータ信号は同一の SDRAM  
5 に接続する。一方、図 3 (b) のメモリモジュールでは、SDRAM が 16 個あるため、基準信号 CLK<sub>i</sub> はメモリモジュール上で 4 分岐させて各 SDRAM に信号を分配する。また、基準信号 DQS<sub>j</sub> は、1 つの SDRAM からの出力を 4 チップ分のデータ取込み基準として代表させて用いる。

図 4 は、ある一つのモジュール上のドライバ DRV が、データ信号  
10 DQ<sub>i</sub> (i=A, B, C) とデータ取り込みのための基準信号 CLK の位相を揃えて信号の送出を行い、レシーバ RCV が基準信号 CLK の位相を 1/2 周期 (T/2) 遅らせてデータの取込みを行う例を単純化して示したものである。

ここで、参照符号 401, 402, 403 はそれぞれ信号 DQA, DQB, DQC の出力位相を決めるフリップフロップ、411, 412, 413, 414 はそれぞれ信号  
15 DQA, DQB, DQC, CLK の出力バッファ、421, 422, 423, 424 はドライバとレシーバを結ぶ信号配線であり、例えばメモリモジュールとメモリコントローラ LSI 間のバス配線等に相当する。また、431, 432, 433, 434 はレシーバにおける各信号の入力バッファであり、441, 442, 443 は伝送データを取り込むフリップフロップである。

20 伝送すべきデータ信号 DQ<sub>i</sub> (i=A, B, C) と基準信号 CLK を有するドライバは、例えば、図 3 (a) のように 1 チップの場合もあるし、図 3 (b) の信号 DQS のように異なる複数のチップで構成する場合もある。いずれの場合でも、メモリモジュール毎に異なる伝送経路長の相違は、データ取込みのための基準信号を特開平 3-157030 号公報に記載されたように、  
25 データ信号と同時に送出することにより吸収可能である。

但し、このためには、データ信号と基準信号の各配線 421-424 を等長

に配線し、かつ、これらの負荷を等しくすることが必要である。並列に送出するデータ信号と基準信号の間で、こうした等長・等負荷配線が実現されていれば、図 4 (b) のタイミング図に示すように、ドライバ DRV 内のフリップフロップ 401-403 でのデータ信号 DQA-DQC と基準信号 CLK の位相関係は、レシーバ RCV の入力バッファ 431-434 を通過しても相対的に同じに保たれるからである。

したがって、ドライバとレシーバ間の配線 421-424、すなわちメモリコントローラ LSI とメモリモジュール間の線路の伝送経路長によらず、ドライバが同一タイミングで送出した基準信号とデータ信号は、レシーバにすべて同一タイミングで到着する。レシーバがこの基準信号を用いてデータ取込みを行えば、十分なセットアップ時間 (tDS) 451 とホールド時間 (tDH) 452 を確保することができる。

また、従来技術の別の例として、データ送信側にトレーニングデータ発生回路と、トレーニングモード信号により通常データとトレーニングデータを切り替えるセレクトを設け、データ受信側にトレーニングモード時に動作して自動的に各ビットデータ間の位相を同期化するビット位相同期回路と、このビット位相同期回路に接続して自動的に各ビットデータ間の位相を同期化するビット間位相同期回路からなるパラレルビット同期方式が特開平 5-75594 号公報に開示されている。

20

#### 発明の開示

しかし、ドライバが基準信号をデータ信号とともに送出する第 1 の従来技術では、図 5 (a) に示すように、プリント基板やメモリモジュール基板には配線を引くことのできない領域 501 が存在する。このため、基準信号 CLK とデータ信号 DQA-DQC の配線の等長配線が困難となる場合がある。また、等長配線が実現できた場合でも、他の配線との並走・交差

25

- による寄生容量の存在や、チップ間のプロセスばらつき等によって、入力・出力バッファの特性が揃わないなど、各配線の負荷を等しくすることが必ずしも可能ではない。このような場合、各信号配線間で伝播遅延時間がそれぞれ異なるため、ドライバ DRV から同一の位相で送出された
- 5 信号であっても、必ずしもレシーバ RCV に同着するとは限らない。

- 図 5 (a) に示した例では、データ信号 DQA の配線 521 が他の配線よりも長く、かつ寄生容量 522 が付加されているために、信号 DQA の伝播遅延時間は大きくなる。また、データ信号 DQC は、レシーバ RCV の入力バッファ 533 の入力容量が、他の信号の入力バッファと比べて小さくなっ
- 10 ている。このような場合、図 5 (b) のタイミング図に示すように、信号 DQB と信号 CLK のレシーバへの到着タイミングに対し、信号 DQA は到着タイミングが遅く、信号 DQC は到着タイミングが早くなる。その結果、セットアップ時間 (tDS) 551 とホールド時間 (tDH) 552 がともに短くなる。

- 更に図 3 (b) のように、データ信号 DQi と基準信号 DQsj を異なるチップで構成する場合には、出力バッファの遅延時間のばらつきも加わる。
- 15

周期の短い高速データ伝送では、こうした並列データ間の伝播遅延時間差が無視できない大きさとなり、データ取込みのためのセットアップ時間とホールド時間が確保できずに、データが正常に伝送できなくなるという問題がある。

- 20 また、パラレルビットを同期化する第 2 の従来技術では、トレーニングデータ発生回路と通常動作時のデータ発生回路とのデータの経路が異なる。このため、トレーニングによりデータ信号とクロック信号およびデータ信号間の同期を確立しても、通常データ送信時には遅延時間差が生じてしまう問題がある。

- 25 本発明の目的は、上記の問題点を解決し、周期の短い高速データの伝送において、並列データ配線間の経路長差や寄生素子を含めた負荷容量

の相違等がある場合にも、誤りなく並列データ伝送を行うことのできるデータ伝送装置を提供することにある。

この目的を達成するため、本発明では、並列データを受信するレシーバに、受信データの一部または全部のデータの位相を比較する同着判定回路を設ける。そして、この同着判定回路の判定結果に基づいてレシーバのデータ取込み点での位相を調整するタイミング調整機構を設けることにより、各データ信号をレシーバに同着させて、データ取込みのためのセットアップ時間とホールド時間を確保する。ここで、データ取込みの基準とする信号は、ドライバからレシーバへデータ信号とともに送出しても良いし、レシーバ内部の基準信号を用いても良い。

この際のタイミング調整機構は、データまたは基準信号の位相を可変とする回路か、またはドライバの出力バッファの駆動力を可変とする回路とすればよい。

さらに、データ系列に依存する信号間の遅延時間差を吸収するためには、タイミング調整機構は、送出するデータビットの時系列に応じてもタイミングを可変とすることができるよう構成する。

また、このタイミング調整機構は、ドライバチップ内、またはレシーバチップ内、またはドライバチップとレシーバチップの間に設けられたドライバともレシーバとも異なるチップに設けることができる。

特に、ドライバが送出し、レシーバが受信する上記2ビット以上の並列データは、異なる複数のドライバチップにより出力されてもよい。この際、レシーバが同着を判定する際の基準とする信号として、上記異なる複数のドライバチップ間で共通の信号を用いれば好適である。

## 25 図面の簡単な説明

図1は、ドライバでタイミング調整を行う第1の実施例の概念を示す



図である。

図 2 は、本発明に係るデータ伝送装置を適用したメモリシステムの構成例である。

図 3 は、従来のメモリシステムで用いるメモリモジュールの構成例である。  
5

図 4 および図 5 は、配線長差により生じるデータ配線間のスキューを説明するための図であり、図 4 はスキューが生じない例、図 5 は等長・等負荷配線が出来ないためにスキューが生じる例である。

図 6 は、本発明の一実施例を示す×4 ビット出力の SDRAM を用いたメモリモジュールの構成図である。  
10

図 7 は、図 6 に示したメモリモジュールに搭載される DBS 信号デコーダ回路のデコード論理表である。

図 8 は、図 7 に示したデコード論理を実現する具体的な構成例を示すブロック図である。

図 9 は、タイミング調整を行うチップを指定する CR、CW 信号の定義の一例を示す表である。  
15

図 10 は、×4 ビット構成のメモリに本発明に係るデータ伝送装置を適用した実施例を示すブロック図である。

図 11 は、メモリコントローラ LSI に本発明に係るデータ伝送装置を適用した実施例を示すブロック図である。  
20

図 12 は、同着判定の結果を伝達する CUP、CDN 信号の定義の一例を示す表である。

図 13 は、メモリ内の遅延量調整回路の具体的な構成例を示すブロック図である。

図 14 は、メモリ内の可変遅延回路の具体的な構成例を示すブロック図である。  
25

図 15 は、メモリコントローラ LSI 内の遅延量調整回路の構成例を示すブロック図である。

図 16 は、メモリ内の同着判定回路の具体的な構成例を示すブロック図である。

5 図 17 は、図 16 に示した同着判定回路の動作タイミング図である。

図 18 は、メモリコントローラ LSI の同着判定回路の具体的な構成例を示すブロック図である。

図 19 は、タイミング調整の手順の概念を (a) データ書込みと、(b) データ読出しに分けて示したものである。

10 図 20 は、データ信号のタイミング調整手順を示すタイミング図である。

図 21 は本発明の第 2 の実施例であり、同着判定とタイミング調整とともにレシーバチップで行う構成例である。

15 図 22 は本発明の第 3 の実施例であり、同着判定をレシーバで、タイミング調整機構をドライバおよびレシーバのいずれでもないチップに設けた構成例を示すブロック図である。

図 23 は、タイミング調整機構の別の構成例を示すブロック図である。

図 24 は、本発明を適用したメモリモジュールの構成例を示す図である。

20

#### 発明を実施するための最良の形態

以下、本発明の望ましい実施形態の一例を、メモリシステムを例に具体的に説明する。

25 図 2 は、本発明に係るデータ伝送装置を適用した第 1 の実施例であるメモリシステムの簡略化した構成図である。このメモリシステムは、マイクロプロセッサ (MPU) 201 とメモリコントローラ LSI202、およびメモ

リモジュール (DIMM) 203-206 から構成される。

データの読出しの際は、メモリモジュール 203-206 上のメモリチップであるシンクロナス DRAM (SDRAM) がデータを送信するドライバとなり、メモリコントローラ LSI202 がデータを受信するレシーバとなる。図 2  
5 に示した例では、各メモリモジュール上で同位置のメモリチップ、例えば SDRAM 210, 211, 212, 213 は、バス上のデータ信号配線 207 を共有する。

ここで、SDRAM およびメモリコントローラ LSI には後述するように、並列データの送信または受信タイミングを調整するために、同着判定回路とタイミング調整機構を含むデータ入出力ブロック 230, 233 が設け  
10 られている。なお、図 2 ではさらに MPU201 およびメモリコントローラ LSI202 に、同様のデータ入出力ブロック 231, 232 がそれぞれ設けられている。

しかし、MPU201 およびメモリコントローラ LSI202 間でのデータ伝送  
15 速度がメモリシステムの処理動作速度を制限していない場合には、それぞれデータ入出力ブロック 231, 232 を搭載しないメモリコントローラ LSI および従来のマイクロプロセッサを使用してもよい。ここでは、本発明をメモリコントローラ LSI202 と MPU201 間のデータ伝送にも単に適用可能なことを示したものである。このデータ入出力ブロック 231, 232  
20 のそれぞれの動作は、データ入出力ブロック 230, 233 と基本的に同じであるので、以下の説明ではメモリモジュール上の SDRAM とメモリコントローラ LSI 間の並列データ送受信のために設けたデータ入出力ブロック 230, 233 に関して説明する。

図 24 は、本発明を適用したメモリモジュールの概念図である。同図  
25 (a) は×16 ビット出力の SDRAM を 4 個搭載するメモリモジュールの例であり、(b) は×4 ビット出力の SDRAM を 16 個搭載するメモリモジュール

ールの例である。なお、図 24 において、従来例の図 3 で示した構成要素と同じ構成部分については、同じ参照符号を付してその詳細な説明は省略する。すなわち、本実施例のメモリモジュールでは、並列データの送信または受信タイミングを調整するために、図 3 の (a), (b) に示したメモリモジュールに対して、同着判定回路とタイミング調整機構を含むデータ入出力ブロック 251 および 252 をそれぞれメモリチップ内に設けている点が従来例と相違する。なお、ここでデータ入出力ブロック 251, 252 は、それぞれ図 2 で示したデータ入出力ブロック 230 に相当する。

- 10 本発明に係るデータ伝送装置はメモリモジュールの構成によらずに実施できるから、以下、図 6 を用いて、詳細に説明する。

図 6 は、本発明を適用した×4 ビット出力の SDRAM を 16 個搭載し、64 ビットの並列データ転送を行うように構成したメモリモジュールの例である。このメモリモジュール 600 は、メモリモジュール基板の両面を使用するが、図には片面分の構成を模式的に示した。図 3 (b) と比較すると、図 6 に示したメモリモジュール 600 では、タイミング調整を行うためのデータビットを選択するデータビットセレクト (DBS) デコーダ回路 601 と、各 SDRAM への信号 DBSi ( $i=0-5$ ), CUP, CDN, CR, CW, TBO, TB1 および CENj ( $j=0-5$ ) の配線が追加されている。また、各 SDRAM 内には、同着判定回路とタイミング調整機構を含むデータ入出力ブロック 610 が追加されている。

DBS デコーダ回路 601 は、信号 DBSi をデコードする。これにより、64 ビットのデータ信号中からメモリコントローラ LSI が指定する 1 ビットと、その信号が接続されている SDRAM を選択して、その SDRAM での選択ビット信号 TBi ( $i=0-1$ ) として出力する機能を持つ。また、DBS デコーダ回路 601 は、SDRAM-メモリコントローラ LSI 間でタイミング調整

のために授受する信号 CUP, CDN を、選択された SDRAM に接続する機能を持つ。さらに、タイミング調整のために SDRAM が選択された状態に有るか否かを示す信号 CENj を、各 SDRAM に出力する。この DBS デコーダ回路 601 は、図示したように独立した LSI として作成しても良いし、コントロール・アドレス信号用バッファ LSI602 内に組み込んでもよい。

以下、これらの機能を実現するための DBS デコーダ回路チップの構成の一例を、図 7 と図 8 を用いて説明する。図 7 は、DBSi 信号のデコード表である。DBSi 信号のデコード表は、メモリモジュール DIMM 上での DQ ピン番号 0-63 に対応した 64 本のデータ信号 DQ0-63 のそれぞれが、どの SDRAM における DQ 出力ピン 0-3 の中のどれに対応しているかを示している。この図 7 に示した例では、例えば、DBSi=000000 は 64 本のデータ信号 DQ0-DQ63 の中の信号 DQ0 を意味し、SDRAM0 における DQ 出力ピン 0-3 の中の DQ 出力ピン 0 に対応している。同様に、DBSi=111111 は信号 DQ63 を意味し、メモリモジュール基板の裏面にある図示されていない SDRAM15 の DQ 出力ピン 3 に対応している。

図 8 に、図 7 のデコード表の機能を実現する DBS デコーダ回路の具体的な構成例を示す。図 8 中で、参照符号 800 として示したブロックは、図示されていない SDRAM0 とメモリコントローラ LSI との通信を制御するブロックである。以下、800 のブロックを例に回路の説明を行うが、他の破線で示したブロックについても全く同様にして SDRAM1-15 に対する DBS デコーダ回路を構成できる。

図 7 のデコード表から、DBSi 信号の上位 4 ビット DBS2-DBS5 が全て 0 のときに、SDRAM0 とメモリコントローラ LSI が通信を行うので、この 4 ビットに対して論理 801 をとることにより、SDRAM0 を選択する信号 CEN0 (802) を作成できる。DBSi 信号の下位 2 ビット DBS0, DBS1 は、SDRAM0 における DQ 出力ピンを選択するから、信号 CEN0 によりイネーブルされ

る3ステートバッファ804、805を介して、DQ出力ピン選択信号TB0(807)、TB1(808)として出力する。

- タイミング調整信号CUP、CDNは双方向信号であるから、メモリコントローラLSIが出力してタイミング調整を行うチップを示す信号CR、
- 5 CWと、信号CEN0の論理積を制御信号809、810として、3ステートバッファ811-814で相互接続する。ここで、タイミング調整を行うチップを示す信号CR、CWの意味は、図9に示すように定義できる。さらに、本例では、CR、CW信号をSDRAM内部でも使用するため、図示しないバッファを介して全SDRAMへ供給する。
- 10 図10に、本発明を適用した×4ビット出力のSDRAMのブロック図を示す。また、図11に、本発明を適用したメモリコントローラLSIのブロック図を示す。図10におけるSDRAMは、DRAMコア部1050と、入力ブロック1020および出力ブロック1010等を含む入出力ブロック1000から構成される。ここで、DRAMコアの動作を簡単に説明しておく。
- 15 DRAMコア部1050は、行アドレスバッファ、行デコーダ、列アドレスバッファ、列デコーダ、センスアンプ、メモリセルアレイ等からなり、メモリ内容読出し動作においては、データ入出力ブロック1000を介して外部からアドレス(Address)信号を入力する。まず、行アドレスバッファにより行アドレス信号を増幅し、行アドレスに対応するメモリセル
- 20 アレイ上の行位置を、行デコーダにより活性化する。同様に、列アドレスバッファにより列アドレス信号を増幅し、列アドレスに対応するメモリセルアレイ上の列位置を、列デコーダにより選択する。こうして選択された、行・列アドレスの交点にあるメモリセルの内容を、センスアンプを通じて、データ出力ブロック1010へ送出する。
- 25 DRAMコア部1050のメモリ内容書込み動作でも、行アドレスおよび列アドレスに対応するメモリセルアレイ上の位置を行デコーダおよび列

デコーダで選択する。その後データ入力ブロック 1120 から入力されたデータを、センスアンプを通じて行・列アドレスの交点にあるメモリセルへ書き込む。

- 図 11 におけるメモリコントローラ LSI は、メモリコントローラコア部 1150 と、データ出力ブロック 1110 およびデータ入力ブロック 1120 等を含むデータ入出力ブロック 1100 から構成される。さらにメモリコントローラコア部 1150 は、MPU 向け I/O インタフェース、データ/アドレス変換回路、主クロック発生器、およびデータバッファ等よりなる。ここで、メモリコントローラコア部 1150 の動作を簡単に説明しておく。
- 10 MPU が、メモリコントローラ LSI を通じて或るアドレスに対応するメモリ値を書き込む場合および読み出す場合には、メモリコントローラコア部 1150 は次のように動作する。

- データ入出力ブロック 1100 を介して MPU から指定されたアドレスと命令を MPU 向け I/O インタフェースで受け取り、データ/アドレス変換回路を用いて解釈し、メモリシステム上での対応するアドレスに変換する。この変換されたアドレスを用いて、メモリモジュールの指定、アドレスの指定、読出し/書込みタイミングの指定などを行い、データ入出力ブロック 1100 を通じてこれらの制御信号を出力する。また、同時に、データ出力ブロック 1110 を通じて、データ信号を出力する。

- 20 データ読出しの場合には、制御信号出力の後、指定した時間が経過したときにメモリからデータが送信されてくるから、データ入力ブロック 1120 でこのデータを受信し、データ・アドレス変換回路、MPU 向け I/O インタフェースを通じて、読み出したデータを MPU へ送出する。

- メモリコントローラコア部 1150 内のデータ信号用バッファは、こうした読出し・書込み動作をより高速に行うために、およびデータの送受信のタイミングを調整するために設ける。

さらに、図 10、図 11 の例では、SDRAM およびメモリコントローラ LSI の双方に対して、それぞれの入出力ブロック 1000, 1100 に、同着判定回路と、遅延量調整回路および可変遅延回路からなるタイミング調整回路を追加してある。以下、(1) - (3) の順で、上述したコア部以外の本実施  
5 例の説明を行う。

(1) SDRAM、メモリコントローラ LSI の入出力信号と主要回路ブロックの機能を説明する。

(2) これら主要回路ブロックの詳細な回路図を用いて、その動作を個別に説明する。

10 (3) 主要な信号のタイミング図を用いて、タイミング調整の例を具体的に説明する。

まず、図 10 を用いて SDRAM の入出力信号と、データ入出力ブロック 1000 内の主要回路ブロックの機能を説明する。入力信号 TB0, TB1 は、メモリコントローラ LSI により出力される DBSi ( $i=0-5$ ) 信号を、DBS デ  
15 コーダ回路でデコードした信号であり、図 7 で示したように両信号の組み合わせにより、タイミング制御対象である SDRAM の DQ 信号ピンを示す。

入力信号 CR, CW は、メモリコントローラ LSI により出力される CR, CW 信号を、DBS デコーダ回路内のバッファを介して入力した信号である。  
20 ここで、信号 CR="1" は SDRAM が出力するデータをメモリコントローラ LSI 上で同着させるよう調整するモードにあることを示し、信号 CW="1" は、メモリコントローラ LSI が出力するデータを SDRAM 上で同着させるように調整するモードにあることを示す。信号 CR, CW の論理値割り当ての一例は、図 9 に示した。

25 CENi ( $i=0-15$ ) 信号は、どの SDRAM の DQ 信号が、タイミング調整のために選択されているかを示す信号である。



また CUP, CDN 信号は、同着判定回路による位相比較結果を示す信号であり、信号 CR="1" の場合には、メモリコントローラ LSI から送出される CUP, CDN 信号を用いて SDRAM の遅延量調整回路 1006 内の遅延量記憶レジスタを増減し、可変遅延回路 1001-1005 の遅延量を変えることによりデータ出力のタイミング調整を行う。CUP, CDN 信号の論理値割り当ての一例を、図 12 に示す。

図 10 におけるデータ出力のタイミング調整は、データ出力時の位相を決定する最終段フリップフロップ回路 1011-1014 を動作させるためのクロック信号 1008 のタイミングを、可変遅延回路 1001-1005 を用いて変化させることにより行う。この例では、SDRAM の可変遅延回路の遅延量調整は、6 ビットすなわち 64 段階に調整可能であるとした。これは例えば、周波数 200MHz の速度でデータ伝送を行い、可変遅延回路の最大遅延調整量を 1 周期分である 5ns とする場合、1 段階分の遅延調整量は約 78ps となる。以上がデータ出力ブロック 1010 の動作である。

一方、データ入力ブロック 1020 において、信号 CW="1" の場合には、メモリコントローラ LSI から送出されたデータ信号と基準信号である CLK の位相を同着判定回路 1026 により比較して、その比較結果を信号 CUP および CDN としてメモリコントローラ LSI へ送出する。

次に、図 11 を用いて、メモリコントローラ LSI が入出力する信号と、データ入出力ブロック 1100 内の主要回路ブロックの機能について説明する。DBSi (i=0-5) 信号は、同着判定を行い、タイミングを調整する対象となるデータ信号を選択する信号である。後述するように、本実施例では、メモリモジュール DIMM0 から DIMM3 まで、およびデータ信号 DQ0 から DQ63 まで 1 ビットずつ順次タイミング調整を行うため、この順序を発生するカウンタ回路 1106 により、DBSi 信号を作成する。

CR および CW 信号は、SDRAM とメモリコントローラ LSI のうち、どち

らの出力タイミング調整を行う状態にあるかを示す。

/CS<sub>i</sub> (i=0-3) 信号はメモリモジュールを選択する信号であり、4 本中のいずれか 1 本が排他的に選択される。この信号により選択されているメモリモジュールのみが、動作およびタイミング調整の対象となる。

- 5     DQS<sub>i</sub> (i=0-3) 信号は、データ信号取込みの基準信号として、SDRAM がデータ信号とともに送出する信号である。但し、基準信号 DQS<sub>0</sub>, DQS<sub>1</sub>, DQS<sub>2</sub>, DQS<sub>3</sub> は、それぞれデータ信号 DQ<sub>0</sub>-DQ<sub>15</sub>, DQ<sub>16</sub>-DQ<sub>31</sub>, DQ<sub>32</sub>-DQ<sub>47</sub>, DQ<sub>48</sub>-DQ<sub>63</sub> のデータ取込みの基準である。

- 10     信号 CR="1" の場合には、データ入力ブロック 1120 において、基準信号 DQS<sub>i</sub> とデータ信号 DQ<sub>j</sub> の位相を 1 信号対ずつ順次同着判定回路 1126 で比較する。同着判定回路 1126 は、図 12 に示した論理値割り当てに従い、位相比較の結果を信号 CUP, CDN を用いて SDRAM へ送出する。SDRAM は、この結果を参照してタイミング調整を行う。

- 15     一方、信号 CW="1" の場合には、データ出力ブロック 1110 において SDRAM から送出される信号 CUP, CDN を受信し、遅延量調整回路 1116 内の遅延量レジスタを増減することにより、可変遅延回路 1101-1104 のクロック出力のタイミング調整を行う。SDRAM と同様に、メモリコントローラ LSI でも可変遅延回路の調整は、6 ビット 64 段階とした。図 11 に示した可変遅延回路 1101-1104 と位相制御用フリップフロップ 1111-  
20     1114 は、それぞれ 16 ビット分ずつまとめて記述してあるが、ここではデータ信号 64 ビット全てのクロック入力に対し、6 ビットの可変遅延回路を接続しているものとする。

- 25     この実施例では、レシーバのデータ取込み節点での並列ビットの位相を揃えるタイミング調整機構は、遅延量調整回路と可変遅延回路により構成されていることが分かる。

図 13 に、DQS 信号を出力しない SDRAM 内の遅延量調整回路 1006 の構

成例を示す。この例では、遅延量を 6 ビットの遅延量記憶レジスタ 1300-1303 に保持し、信号 CUP, CDN により加減算される 2 進アップダウンカウンタとして構成した。ここで、例えば回路ブロック 1300 は、信号 DQ0 のための遅延量記憶レジスタである。同様に、回路ブロック 5 1301, 1302, 1303 は、それぞれ信号 DQ1, DQ2, DQ3 のための遅延量記憶レジスタである。

信号 DQ0 においては、レジスタの LSB (最下位ビット)-MSB (最上位ビット) がそれぞれ 1310-1315 に対応する。遅延量記憶レジスタ 1301-1303 についても、遅延量記憶レジスタ 1300 と同様に構成できるため、内部 10 構造は省略して記述していない。

信号 CTE<sub>i</sub> は、現在、この SDRAM 上のデータ信号がタイミング調整の対象となっていることを示す信号であり、例えば信号 CTE<sub>i</sub> は、信号 CR, CS, CEN<sub>i</sub> を用いて、 $CTE_i = CR \cdot CS \cdot CEN_i$  として作成できる。信号 CTE<sub>i</sub>="1" のとき、信号 TB0, TB1 によりタイミングを制御すべき出力データ信号 15 を選択する。

例えば、信号 TB0=TB1="0" のときには、この SDRAM のデータ信号 DQ0 がタイミングの制御対象として選択される。このとき、UP<sub>i</sub>, DN<sub>i</sub> (i=0-3) 信号のうち、UP0 と DN0 信号のみが信号配線 CUP, CDN と接続するから、クロック信号 CLK の立上りで信号 CUP="1" または信号 CDN="1" の時に、データ信号 DQ0 の遅延量記憶レジスタがインクリメントまたはデクリメントされる。ここで、抵抗 1331-1334 は、TB0, TB1, CUP, CDN の 20 各信号が非選択となっているときに中間的な電圧を取らないように、接地電位 1335 に弱く接続するための抵抗である。

また、この例でのアップダウンカウンタは、T 型フリップフロップにより構成し、ブロック 1310 内の配線 1321 および 1322 は信号 CTE<sub>i</sub> と接続し、ブロック 1311-1315 内で配線 1321 および 1322 に相当する配線は、 25

1ビット下位のブロックにおける配線 1323 および 1324 にあたる配線にそれぞれ接続する。また、ブロック 1311-1315 における T 型フリップフロップの T 入力は、それぞれ 1 ビット下位のブロックで配線 1325 に相当する配線に接続する。

- 5 図 13 の遅延量調整回路によってタイミングの調整を行うことができる可変遅延回路の構成の一例を、図 14 に示す。この可変遅延回路は、インバータ INV0、INV1 間に、2 倍ずつ容量値の異なる容量 C0-C5 を、スイッチ MOS トランジスタを介して負荷として接続した構成である。これらの MOS スイッチ SW0-SW5 を、遅延量記憶レジスタに設定された値
- 10 b0-b5 で開閉することにより、インバータ INV0 からインバータ INV1 間の遅延時間を 64 段階に単調に変化させることができる。

- 例えば、レジスタの値 b0-b5 が全て "0" の時の遅延時間  $t_0$  は、MOS スイッチ SW0-SW5 が全て非導通となるので、インバータ INV0 が駆動すべき容量は、次段のインバータ INV1 のゲート容量だけであり、インバー
- 15 タ INV0 と INV1 間の遅延時間は最短となる。

- 一方、レジスタの値 b0-b5 が全て "1" の時の遅延時間  $t_63$  は、MOS スイッチ SW0-SW5 が全て導通となるので、インバータ INV0 が駆動すべき容量は、次段のインバータ INV1 のゲート容量と MOS スイッチを介して接続する 6 個の容量の和 ( $C_0+C_1+C_2+C_3+C_4+C_5$ ) である。従って、容量
- 20 C0 による遅延時間を  $\Delta t$  とすると、インバータ INV0 と INV1 間の遅延時間は最大で、 $t_63=t_0+63 \Delta t$  となる。

- 図 15 は、メモリコントローラ LSI 内の遅延量調整回路 1116 の構成の一例を示したものである。データ信号 DQ0 から DQ63 まで、同一回路の繰り返しとして構成されているため、図 15 においてはデータ信号 DQ0
- 25 用の遅延量調整回路 DCR00 のみ簡略化した内部構造を示し、他のデータ信号 DQ01-DQ63 用の遅延量調整回路 DCR01-DCR63 については、内部構造

の記述を省略してある。ブロック 1510, 1511, 1512, 1513 はそれぞれ、メモリモジュール DIMM0, DIMM1, DIMM2, DIMM3 用の遅延量を記憶する遅延量記憶レジスタである。遅延量記憶レジスタ 1510, 1511, 1512, 1513 は、いずれもデータ信号 DQ0 のメモリモジュール位置に対応した  
5 遅延調整に用いる。同様に、データ信号 DQ1, DQ2, …の遅延調整のために、この図では省略したメモリモジュール位置に応じた遅延量記憶レジスタを設ける。

メモリコントローラ LSI が送出するデータ信号 DQi は、4 つあるメモリモジュール (DIMM) スロットのいずれかに搭載されている SDRAM に書き込まれる。このため、メモリコントローラ LSI では、1 本のデータ信号  
10 に対して DIMM スロットに対応する 4 つの遅延量記憶レジスタ 1510-1513 を持つ。ここで、図 13 の遅延量記憶レジスタ 1300 にそれぞれ相当する 6 ビットの 2 進アップダウンカウンタ回路 1510-1513 を、図 15 では b0-b5 の箱として示してある。レジスタ値を変更する際には、まず  
15 図 7 に示した DBSi 信号のデコード表に従って DBS0-DBS5 の信号によりデータ信号 DQ0-DQ63 を選択し、次に CSi 信号により MOS スイッチ 1520-1523 を開閉して DIMM スロットに対応するレジスタを選択する。こうしてメモリモジュールとデータ信号 DQ を選択し、SDRAM からの CUP, CDN 信号を受けてレジスタ値を 1 ビットずつインクリメントまたはデクリメントする。  
20

また、図 11 に示した可変遅延回路 1101-1104 は、CSi 信号により選択された DIMM スロットの遅延量 b0-b5 を、それぞれ参照する。メモリコントローラ LSI 内の可変遅延回路 1101-1104 は、例えば、SDRAM と同様に図 14 に示した構成の可変遅延回路を用いればよい。

25 この実施例では、遅延量記憶レジスタセット数は、「タイミングを調整する信号数」×「各送出信号を受信するチップ数」となる。例えば、

基準信号 DQS を出力しない SDRAM は、4 ビットのデータ信号を送出し、これを受信するのはメモリコントローラ LSI だけであるから、 $4 \times 1 = 4$  セットの遅延量記憶レジスタセットを持つ。一方、メモリコントローラ LSI は、データ信号 64 ビットを送出し、これを受信するのは第 0 から  
5 第 3 のメモリモジュールに搭載された SDRAM であるから、 $64 \times 4 = 256$  セットの遅延量記憶レジスタセットを持つ。

さらに、基準信号の立上りだけでなく基準信号の立下りについてもデータの取り込みを行う場合には、立上りと立下りのそれぞれについて 1 セットずつ遅延量記憶レジスタセットを持たせることが望ましい。特に、  
10 最終段の出力バッファ回路を CMOS 構成にする場合には、PMOS トランジスタと NMOS トランジスタの電流供給量や、その温度特性などが対称にならない場合が多く、また、基準信号の立上り時と立下り時の波形が完全には対称でないことがその理由である。

しかし、精度は劣るが、立上りと立下りでのレジスタ値を平均することにより遅延量を決めるなどして、遅延量記憶レジスタセット数の増加を抑えることも可能である。  
15

また、出力バッファ回路の同時動作による電源電圧変動によって、信号間に遅延時間差が生じる場合がある。この遅延時間差は、パッケージの電源ピンのインダクタンス成分に出力バッファが時間変化の大きな  
20 電流を流すことにより生じる電源電圧の変動に起因する。さらに、データ信号が伝送周期の間に十分整定しないような場合にも、やはり、過去に出力した論理値に応じて遅延時間差が生じる。

こうした過去のデータ系列に依存して発生する遅延時間差を低減するためには、例えば、1 周期分過去の出力論理値とこれから出力する論理値とを比較し、論理変化"0"→"1"、論理変化"1"→"0"および論理変化  
25 なしの 3 通りの状態に対応する遅延量記憶レジスタを持ち、それぞれに

対応するデータ系列を送受信し、同着判定することにより、これらのレジスタ値を設定すればよい。

- また、過去の信号系列だけでなく、パッケージや基板上の信号配線間の相互結合による信号の遅延時間差についても、例えば同時刻の隣接信号の論理変化を考慮して遅延レジスタ値を設定するなどの方法により、  
5 こうした信号間の遅延時間差を低減することが可能である。

- 図 16 は、図 10 に示した SDRAM 内の同着判定回路 1026 の一構成例を示す回路図である。判定の基準は CLK 信号を 2 分周した信号 CLK2 であり、一度に 1 本のデータ信号との同着判定を行う。信号 CLK2 と同着を  
10 判定するデータ信号は、ビット選択信号 TB0、TB1 を用いてセレクト 1601 により選択されるデータ信号 DQ0-DQ3 の内の 1 ビットである。図 7 に示したデコード表を参照すれば、例えば信号 TB0、TB1 が、TB0="1"、TB1="0" の場合には、信号 DQ1 が比較対象のデータ信号となる。基準信号とデータ信号の同着を正確に判定するために、必要ならば基準信号 CLK2 側には、セレクト 1601 の遅延時間とほぼ等価な遅延回路 1602 を挿入しておく。  
15 また、1602 の等価遅延回路の代わりに、基準信号とデータ信号とを所望の位相差とするための任意の遅延回路を挿入することも可能である。なお、信号 PHI は節点 DBx、DBy の信号を、後段に順次送るタイミングを決める信号である。

- 20 この同着判定回路例では、節点 Cx および Cy での信号の立上りで、DQ 信号を取り込む回路となっている。このため、信号 CLK2 は、一定の遅延  $t_a$  を持つ回路 1603 を通じて、節点 Cy に接続する。この実施例の構成では、一定遅延  $t_a$  が基準信号 CLK2 とデータ信号 DQi ( $i=0-3$ ) の同着判定における最大誤差を規定するから、場合によっては、この遅延時間  
25 をチップ外部から制御できるように構成するとよい。

一定遅延回路 1603 は、例えば、配線をメモリチップ内で引き回すか、

または偶数段のインバータ回路を直列に接続するなどして実現することができる。

次に、図 16 の同着判定回路の動作を、図 17 に示したタイミングチャートを参照しながら説明する。図 17 の (a) (b) (c) 各図において、参照符号 Cx, Cy, DA, DBx, DBy は、それぞれ図 16 における同符号で示した節  
5 点の電圧に対応する。

同図 (a) は信号 DQ の位相が信号 CLK2 よりも  $t_e$  早い場合： 節点 DA での信号は、節点 Cx での信号よりも  $t_e$  だけ位相が早く、各節点 Cx, Cy で取り込まれる信号は、節点 DBx, DBy では、斜線で示した時刻  $t$  の範囲  $t_a < t < T$  において、いずれも 0 となる。

同図 (b) は信号 DQ が信号 CLK2 とほぼ同着する場合： この例では、節点 DA での信号は、節点 Cx よりも微小時間  $t_e$  だけ位相が遅い。ただし、微小時間  $t_e$  は遅延  $t_a$  よりも小さいものとする。この場合、各節点 Cx, Cy で取り込まれる信号は、節点 DBx, DBy では、斜線で示した時刻  $t$  の  
15 範囲  $t_a < t < T$  において、それぞれ 1, 0 となる。

同図 (c) は信号 CLK2 が信号 DQ よりも位相が早い場合： 節点 DA での信号は、節点 Cx で取り込まれる信号よりも時間  $t_e$  だけ位相が遅く、各節点 Cx, Cy で取り込まれる信号は、節点 DBx, DBy では、斜線で示した時刻  $t$  の範囲  $t_a < t < T$  において、いずれも 1 となる。

20 以上の 3 ケースそれぞれについて、時刻  $t$  が、 $t_a < t < T$  の範囲のときに取り込まれる信号の、節点 DBx, DBy における組合わせは異なっているか、例えば、論理ゲート NOR と AND により、信号 DQ が信号 CLK2 よりも早い場合には、信号 CUP と CDN のそれぞれを CUP="1", CDN="0" (遅延カウンタを増加させて信号 DQ の到着を遅らせる) とし、信号 DQ が信号 CLK2 とほぼ同着する場合には、CUP=CDN="0" とし、信号 CLK2 が信号 DQ よりも早い場合には、CUP="0", CDN="1" (遅延カウンタを減少させ



て信号 DQ の到着を早める) とすることができる。

逆に、この同着判定回路例で同着と判断される許容範囲は、信号 DQ の信号 CLK2 に対する遅延が 0 から  $t_a$  までである。

また、この例では同着判定を基準信号と 1 本のデータ信号の一組ずつで行うとしているが、この同着判定回路を複数並べて、複数ビットを同時に比較するように構成しても良い。

図 18 は、図 11 で示したメモリコントローラ LSI 内の同着判定回路 1126 の具体的な構成例である。同着を判定する回路は、図 16 と同様にして構成できる。但し、この実施例では、同着判定を一組ずつ行っていることから、判定を行う組はセレクトタにより選択する必要が有る。

はじめに、メモリモジュールのスロット位置による同着判定回路への入力信号の到着時間差をなくすために、同着判定回路 1810-1813 に入力される  $DQSi$  ( $i=0-3$ ) 信号を、メモリコントローラ LSI 内の基準信号 CLK に対し同着させる。次に、各 DQS 信号に対してデータ信号 DQ を同着させる。このようにするため、基準信号として  $DQSi$  信号と CLK 信号をセレクトタ 1801 により選択し、基準信号に同着させる信号として、データ信号  $DQ0-DQ15$  など信号  $DQSi$  に対応する 16 本のデータ信号のうちから 1 本を別のセレクトタ 1802 により選択できるように構成する。但し、セレクトタ 1801 が CLK 信号を選択しているときには、セレクトタ 1802 は  $DQSi$  信号を選択する。

同様に、同着判定回路 1810-1813 の出力信号についても、現在判定を行っている結果を出力するように、セレクトタ 1803, 1804 を介して CUP, CDN 信号の配線に接続する。この例でのセレクトタ 1803, 1804 の制御信号はともに、信号 DBS4 および DBS5 である。ここで、信号  $CR="0"$  のときに図 12 での定義通りに  $CUP=CDN="0"$  となるよう、セレクトタの制御信号に CR 信号を加えるか、または図 16 と同様、出力信号に対し信号 CR

と論理積をとっておく必要が有る。

以上、回路動作を個別に説明してきたが、次に前述した同着判定回路とタイミング調整回路を含む本発明に係るデータ伝送装置を適用したメモリシステムのタイミング調整の大まかな手順を、図 19 を用いて説明する。

図 19 (a) は、データ書込みのためのタイミング調整手順を示したもので、メモリコントローラ LSI から基準信号 CLK とデータ信号 DQ を送出し、SDRAM 内部で生成する基準信号 CLK2 とデータ信号 DQ を比較する手順を示したものである。

10    まず、メモリコントローラ LSI からメモリモジュール DIMM0 への書込みについて、タイミング調整を行う。例えば、図 6 で示した×4 ビット出力の SDRAM を用いたメモリモジュールでは、CSi 信号によりメモリモジュール DIMM0 を選択して、DIMM0 上の SDRAM0 で信号 CLK2 と信号 DQ0 のタイミング調整を行う。以後、順次信号 CLK2 と信号 DQ1, DQ2, DQ3

15    のタイミング調整を行い、次に SDRAM1 で信号 CLK2 と信号 DQ4, DQ5, DQ6, DQ7 のタイミング調整を行う。同様に、SDRAM15 の信号 CLK2 と信号 DQ60-DQ63 のタイミング調整を終了した時点で、DIMM0 でのタイミング調整を終了する。

同じ手順で、CSi 信号を変えながらメモリモジュール DIMM1, DIMM2,

20    DIMM3 上のデータ信号 DQ0-DQ63 について、基準信号 CLK2 とのタイミング調整を行う。すべてのメモリモジュール上で、すべての DQ 信号についてタイミング調整を行った時点で、データ書込みのためのタイミング調整を終了する。

次に、図 19 (b) を用いて、SDRAM からメモリコントローラ LSI へのデータ読出し動作のためのタイミング調整手順を説明する。

メモリコントローラ LSI に到着するデータ信号の位相を、読出し対象

のメモリモジュール位置によらず全て揃えるために、まず、各メモリモジュールから出力される基準信号 DQS をメモリコントローラ LSI 内の基準信号 CLK に同期させる。この同期化は、データ取込みのためには必ずしも必要ではない。しかし、メモリコントローラ LSI 内のタイミング設計を容易化するために、行っておくことが望ましい。

また、同期化の対象は、メモリコントローラ LSI 内の信号に限らず、例えば、メモリコントローラ LSI に最も近いメモリモジュール (DIMM) から送出する信号 DQS を基準信号として、他のスロットから送出される信号 DQS のタイミング調整を行っても良い。

- 10     また、基準信号を常にレシーバであるメモリコントローラ LSI 内の基準信号 CLK に固定すれば、各メモリモジュールは基準信号 DQS を送出する必要がなくなり、ピン数を削減できる。いま、この例では 4 本の DQS 信号 DQS0-DQS3 を、メモリモジュールのスロット位置毎に順次基準信号に同期化させる。この操作により、どの位置のメモリモジュールからの  
15     読出しであっても、基準信号 DQSi ( $i=0-3$ ) は、メモリコントローラ LSI に全て同着する。

- 次に、各メモリモジュール上の SDRAM について順次、基準信号 DQS とデータ信号 DQ を同期化させる。この例では、基準信号 DQS0 にデータ信号 DQ0-DQ15 を、基準信号 DQS1 にデータ信号 DQ16-DQ31 を、基準信号  
20     DQS2 にデータ信号 DQ32-DQ47 を、基準信号 DQS3 にデータ信号 DQ48-DQ63 をそれぞれ同期化させている。

- この同期化も、必ずしもすべての DQ 信号について行う必要はない。同期化精度とのトレードオフになるが、レジスタやセレクタの回路素子数を削減するために、例えば物理的に近い 2 本の信号は、そのうちの 1  
25     本の DQ 信号を代表させて基準信号 DQS との同期化を行うなどすれば、同期化する信号数を減らすことができる。

図 20 に、データ読出し動作におけるタイミング調整の具体例を示す。この例は、メモリモジュール DIMMO 上の SDRAM0 が出力するデータ信号 DQ0-DQ3 を、信号 DQS0 に対して同期化させる例である。

この時点では既に、信号 DQS のメモリコントローラ LSI 内部の基準信号 CLK への同期化は終了し同位相となっているため、信号 DQS0-DQS3 は一つの行に記述してある。DQi カウンタは、データ信号 DQi の 6 ビット遅延カウンタの値であり、6 ビットを 10 進数に変換した数値を示している。初期値は、いずれも中間値 32 に設定してある。なお、図には、信号 DQ3 および DQ3 カウンタを省略してある。また、この例は、メモリモジュール DIMMO 上の同期化の例であるため、メモリモジュールの選択信号/CS は、DIMMO 上の SDRAM のタイミング調整を示す選択信号/CS0 のみ"0"となり、選択信号/CS1-/CS3 が"1"となっている。信号 DBS0-DBS5 は、メモリコントローラ LSI が順次送出するタイミング調整の対象ビットの選択信号であり、これも 6 ビットを 10 進数で示した。信号 DQS0-DQS3, DQ0, DQ1, DQ2 は、メモリコントローラ LSI の同着判定回路直前での信号を示している。

データ読出し動作のためのタイミング調整モードを示す CR="1" になったら、すべての基準信号 DQS とデータ信号 DQ は 0101... が連続する交互パターンを送る。

まず、タイムスロット 2 において、メモリコントローラ LSI の同着判定回路で、DBS 信号で選択されるデータ信号 DQ0 と基準信号 DQS0 を比較する。その結果、データ信号 DQ0 の位相が遅れていることがわかるので、タイムスロット 3 で信号 CDN="1" を SDRAM へ向けて送信する。これを、DBS 信号で選択される SDRAM0 だけが受信して、データ信号 DQ0 が遅れていたことを知り、信号 DQ0 の遅延カウンタを 32 から 31 へデクリメントする。

タイムスロット 4 で、データ信号 DQ0 と基準信号 DQS0 を比較し、まだデータ信号 DQ0 の位相が遅れているため、タイムスロット 5 で信号 CDN="1"を送信する。SDRAM0 はカウンタを 31 から 30 へデクリメントして、データ信号 DQ0 の出力タイミングを早める。

- 5     タイムスロット 6 で、データ信号 DQ0 と基準信号 DQS0 が同着したと見なされたため、位相比較結果が CUP=CDN="0"となり、信号 DBS がインクリメントされてデータ信号 DQ1 と基準信号 DQS0 の比較に移る。

- 以下、同様に、タイムスロット 8, 10, 12 での同着判定により、データ信号 DQ1 が基準信号 DQS0 よりも位相がすすんでいるために、SDRAM0  
10     ではデータ信号 DQ1 の遅延カウンタ (DQ1 カウンタ) の値を 1 ビットずつインクリメントさせ、タイムスロット 14 で、データ信号 DQ1 と基準信号 DQS0 の同着が得られた。

- こうした手順を順次繰り返せば、すべてのメモリモジュールから送出されるすべての DQ 信号について、信号 DQS とメモリコントローラ LSI  
15     内の基準信号 CLK との同着を実現することができる。

- 以上説明してきたように、本発明のデータ伝送装置を適用した第 1 の実施例のメモリシステムによれば、並列に送信されるデータ信号の受信点での位相を、ある許容誤差範囲内に合わせることができる。このため、並列データ配線間の経路長差や寄生素子を含めた負荷容量の相違が  
20     ある場合にも、伝播遅延時間差に起因するデータ取込みウィンドウの減少を防止することができる。

- こうしたタイミング調整は、例えば、電源投入後の起動手順の一環として一度行い、その後、メモリシステム動作中に適当な間隔で行って、遅延量記憶レジスタを更新するとよい。動作中の温度変動や電源電圧の変動などを補償するためである。  
25

メモリシステム動作中のタイミング調整は、メモリシステムの動作効

率を下げるので、全ビット一度に行わず、数ビットずつに分けて分散して行っても良い。

また、伝送効率を低下させないよう、一回の更新処理に多くの時間を  
さけない場合には、完全な同着が得られなくても、数ビット分の遅延記  
5 憶レジスタ値の更新を行うだけでも、データ信号取込みのセットアップ・ホールド時間改善に効果がある。

また、温度変動が大きいと考えられるスリープ状態からの復帰直後には、システム起動直後と同様のタイミング調整を行うことが望ましい。

また、この実施例では、DBS 信号や CR, CW 信号などを独立した配線  
10 にして同着判定を行うビットの選択として用いたが、DBS 信号のようにメモリコントローラ LSI から SDRAM への単一方向にのみ伝送される信号は、例えば、アドレス信号を用いて伝送することができる。通常、SDRAM は、モードレジスタを持つので、このモードとして、本実施例の CR, CW 信号で指定される状態を割り当てることが可能である。例えば、CR="1"  
15 または、CW="1"に相当するモードに入った際には、アドレス信号の任意の 6 本を第 1 の実施例における信号 DBS0-DBS5 などに割り当て、SDRAM 内でこの信号をデコードして用いればよい。信号 CUP, CDN については、双方向の伝送が必要となるが、これは例えば DQ 信号を時分割して信号 CUP, CDN としても用いることができる。このようにすれば、新規に配  
20 線を設けることなく、本発明を実施することができる。

以上述べてきた第 1 の実施例は、図 1 に示すように要約して書くことができる。すなわち、並列データ信号を受信するレシーバ RCV が同着判定回路 126 を持ち、並列データを送信するドライバ DRV がタイミング調整機構を持つ。

25 第 1 の実施例は、メモリコントローラ LSI と SDRAM が相互にドライバとレシーバとなった例であり、ドライバ側にタイミング調整機構が設け

てあった。こうした構成を取る場合には、レシーバ RCV が、データ取り込みのための基準信号 CLK\_R と、データ取込みのためのフリップフロップ 131-134 に入力される直前の並列データ信号 121-124 との同着判定を同着判定回路 126 で行い、位相比較結果 127 をドライバ DRV に送信する。

- 5   ここで、同着判定回路 126 の三角形の記号は、基準信号 CLK\_R の入力端子であることを示す。

ドライバ DRV は、レシーバ RCV からの位相比較結果 127 を受けて、遅延量調整回路 106 と可変遅延回路 101-104 からなるタイミング調整機構により、レシーバ RCV のデータ取込み点での並列データ 121-124 の位相  
10   を揃える。図 1 では、可変遅延回路 101-104 により、データ信号の位相を決めるフリップフロップ 111-114 に入力される基準信号 CLK\_D のタイミングを変えているが、データ出力経路中に可変遅延回路をおいてタイミング調整を行うことも可能である。

また、図 1 では、データ出力のための基準信号 CLK\_D と、データ取り  
15   込みのための基準信号 CLK\_R を別々の信号として記述してあるが、第 1 の実施例で述べたように、ドライバ DRV は基準信号 CLK\_D をデータ信号とともに送出して、レシーバ RCV は受信した基準信号 CLK\_D を基準信号 CLK\_R として用いることもできる。

さらに、受信したデータ信号のうちの一つを基準信号 CLK\_R として用  
20   いても良い。こうした場合には、同着判定回路 126 の基準信号入力端子には、データ取込みのために適切な位相となるよう、例えば図 16 に示した遅延回路 1602 のような遅延回路を通過させた後に、同着判定を行うとよい。

図 21 は、レシーバ RCV に同着判定回路とタイミング調整機構をとも  
25   に設けた第 2 の実施例を示す構成図である。このような構成は、例えば、ドライバ DRV 側の回路素子数の増加を抑えたい場合で、かつ、レシーバ

側での回路素子数の増加を許容できる場合に好適である。

同図 (a) は、可変遅延回路 2101-2104 と遅延量調整回路 2106 からなるタイミング調整機構などをレシーバ RCV 側に持つ例の一つであり、可変遅延回路 2101-2104 をデータ取込みの基準信号 CLK\_R の経路上に設けて  
5 いる。従って、位相比較結果を伝達する信号 2127 も、レシーバ RCV の内部信号となる。このとき、同着判定回路 2126 において、データ信号 2111-2114 と、これらのデータ信号のそれぞれに対応するタイミング調整後の基準信号 2121-2124 の位相比較が出来るように、セクタ 2125 を設ける。具体的には、データ信号 2111 と基準信号 2121、データ信号  
10 2112 と基準信号 2122、データ信号 2113 と基準信号 2123、データ信号 2114 と基準信号 2124 の同着をそれぞれ判定するように、セクタ 2125 により基準信号を選択する。

一方、図 21 (b) は、レシーバ RCV 側にタイミング調整機構を持つ別の例であり、データ信号を遅延させる構成例である。なお、同図 (b) において、同図 (a) に示した構成要素と同じ構成部分については、同一の参照符号を付してある。この構成の場合、可変遅延回路 2101-2104 を遅延量調整回路 2106 により制御して、データ信号 2111-2114 と基準信号 CLK\_R と同着させる。同図 (a) の構成と比べると、基準信号 CLK\_R を選択するためのセクタ 2125 が不要となり、構成を簡略にできる。

20 図 22 は、タイミング調整機構を、ドライバ DRV でもレシーバ RCV でもない別チップ上に設けた第 3 の実施例を示す構成図である。これは、レシーバ RCV 上の同着判定回路 2226 で、データ信号 2211-2214 と基準信号 CLK\_R との同着判定を行った結果を、信号 2227 を用いてタイミング調整チップ 2205 に伝達する。この信号 2227 を受けて、遅延調整回路  
25 2206 は、可変遅延回路 2201-2204 の遅延量を調整することにより、レシーバ上でのデータ信号 2211-2214 と基準信号 CLK\_R の同着を可能とす



ることが出来る。

図 23 に、タイミング調整機構の別の構成例を示す。図中、インバータ INV1 と、これに並列に接続している 3 ステートバッファ 2310-2315 により、各データ信号の最終段の出力バッファ回路を形成する。特に、  
5 第 1 の実施例のようにドライバ側チップ上でタイミング調整を行う場合には、ドライバの出力バッファの駆動力を可変とすることにより、タイミングを有効に調整できる。

ここで、3 ステートバッファの制御信号 b0-b5 は、例えば図 13 に示した遅延量調整回路の出力である。3 ステートバッファ 2310-2315 は、  
10 信号  $b_i = "0"$  のときにドライバとして機能し、 $b_i = "1"$  のときにハイインピーダンス ( $H_i-Z$ ) となるようにすれば、第 1 の実施例における図 14 に示した可変遅延回路と論理的に同様の動作となる。

また、信号  $b_i$  ( $i=0-5$ ) の値に応じて、遅延時間を出来るだけ単調に変化させるためには、例えば b0-b5 により制御されるバッファの MOS トランジスタサイズ W/L を、バッファ 2310 から出発して 2311, ..., 2315 の  
15 順に大きくなるように設計するとよい。

以上、本発明に係るデータ伝送装置の好適な実施例について、ドライバ・レシーバのうち、一方はメモリコントローラ LSI (一つの半導体チップ) で、他方はメモリモジュール (複数の半導体チップから構成される半導体装置) 間の並列データ伝送に適用した場合を説明したが、本発明は前記実施例に限定されるものではなく、並列データの伝送を行う場合には全て適用可能であり、本発明の精神を逸脱しない範囲内で種々の設計変更を為し得ることは勿論である。

例えば、図 2 で示した、メモリコントローラ LSI と MPU 間の並列データ伝送のように、ドライバ・レシーバ共にそれぞれ一つの半導体チップ  
25 で構成されたチップ間の並列データ伝送に適用できる。また、ドライ

バ・レシーバ共に複数の半導体装置から構成される装置間の並列データ伝送にも本発明を適用できる。さらには、半導体チップ内の高速並列データ伝送が必要な回路ブロック間のスキュー防止のために適用出来ることは言うまでもない。

5

#### 産業上の利用可能性

これまで述べてきたように、本発明によってデータ信号をレシーバに同着させることが可能となるため、周期の短い高速データの伝送において、データ配線間の経路長差や寄生素子を含めた負荷容量の相違等がある場合にも、誤りなくデータ伝送を行うことのできる並列データ伝送装置が実現可能となる。

また、本発明の副次的な効果として、並列データの配線長や負荷容量の相違が許容されることになるために、プリント基板やメモリモジュール、およびドライバ・レシーバチップ内のレイアウト制約が緩和され、設計を容易化できる。

15

さらに、装置動作中の温度等の環境変動や伝送データパターンに依存する電源変動に起因するスキューに強い並列データ伝送装置を実現することが可能となる。

## 請 求 の 範 囲

1. 複数データを同時に送出するドライバと、ドライバが送出する2ビット以上のデータを受信するレシーバとから少なくとも構成される
- 5 データ伝送装置において、レシーバは受信する並列データの全部または一部の位相を基準信号と比較する同着判定回路を有し、同着判定回路の判定結果に基づいてレシーバのデータ取込み点での並列データ間の位相を調整するタイミング調整機構を備えたことを特徴とするデータ伝送装置。
- 10 2. 上記タイミング調整機構は、ドライバチップ内、またはレシーバチップ内、またはドライバチップとレシーバチップの間に接続されたチップ上のいずれかに設けたことを特徴とする請求の範囲第1項に記載のデータ伝送装置。
3. 上記タイミング調整機構は、データまたは基準信号の位相を可変とする回路であることを特徴とする請求の範囲第1項または第2項に記載のデータ伝送装置。
- 15 4. 上記タイミング調整機構は、ドライバの出力バッファの駆動力を可変とする回路であることを特徴とする請求の範囲第1項または第2項に記載のデータ伝送装置。
- 20 5. 上記タイミング調整機構は、送出するデータの時系列に応じてタイミングを可変とすることを特徴とする回路である請求の範囲第1項または第2項に記載のデータ伝送装置。
6. レシーバが受信する上記2ビット以上のデータは、異なる複数のドライバチップにより送出されることを特徴とする請求の範囲第1項から第5項のいずれかに記載のデータ伝送装置。
- 25 7. 上記異なる複数のドライバチップは、1つ以上のメモリチップを搭

載しコネクタによりバス配線に接続するメモリモジュール構成であることを特徴とする請求の範囲第 6 項に記載のデータ伝送装置。

8. 上記同着判定回路の同着を判定する上記基準信号として、上記異なる複数のドライバチップ間で共通の基準信号を用いることを特徴とする請求の範囲第 6 項に記載のデータ伝送装置。

9. プロセッサ LSI またはメモリコントローラ LSI とメモリモジュールとにより相互にデータを授受するデータ伝送装置を構成し、かつ相互に授受するデータの全部又は一部の位相を比較する同着判定回路と、該同着判定回路の判定結果に基づいてレシーバのデータ取込み点での複数データ間の位相を調整するタイミング調整機構とを前記プロセッサ LSI またはメモリコントローラ LSI と、メモリモジュールを構成する各メモリチップとにそれぞれ設けたことを特徴とするデータ伝送装置。

10. チップ外部から並列データを受信するデータ入力ブロックおよびチップ外部へ並列データを送出するデータ出力ブロックからなる入出力ブロックと、

- 行アドレスバッファ、行デコーダ、列アドレスバッファ、列デコーダ、センスアンプ、メモリセルアレイを有し、メモリ読み出し動作時には前記入出力ブロックを介して入力されるアドレス信号に対応したメモリセルアレイ上の位置のメモリセルから読み出した並列データをセンスアンプを介して前記データ出力ブロックへ送出し、メモリ書込み動作時にはアドレス信号に対応するメモリセルを行デコーダ及び列デコーダで選択して前記データ入力ブロックから入力される並列データをセンスアンプを介して書き込むダイナミックランダムアクセスメモリ (DRAM) コア部とを少なくとも有し、

- 25 前記データ入力ブロックは、チップ外部の前記ドライバからの並列データと共にデータ基準信号を受信し、該並列データの全部または一部

の位相を前記データ基準信号と比較し、比較結果の位相情報を前記チップ外のドライバへ送信する同着判定回路を備え、

前記データ出力ブロックは、前記 DRAM コア部から読み出された並列データと共にデータ基準信号を送出し、該並列データとデータ基準信号を受信する前記チップ外のレシーバから、データ取込み点での前記基準信号と前記並列データ間の全部または一部の位相情報を受信し、該位相情報に基づいてチップ外部の前記レシーバ取込み点で並列データが同着するように、送出する各並列データの遅延量を調整するタイミング調整機構を備えたことを特徴とする半導体記憶装置。

- 10 11. 前記タイミング調整機構は、送出する各並列データの出力タイミング調整を行う複数の可変遅延回路と該可変遅延回路の各遅延量を前記位相情報に基づいてそれぞれ調整する遅延制御回路とからなる請求の範囲第10項に記載の半導体記憶装置。

- 15 12. 前記各可変遅延回路は、データ出力時の位相を決定する最終段の各フリップフロップ回路を動作させるためのクロック信号経路にそれぞれ設け、前記クロック信号のタイミングを変化させるように構成してなる請求の範囲第11項に記載の半導体記憶装置。

図 1

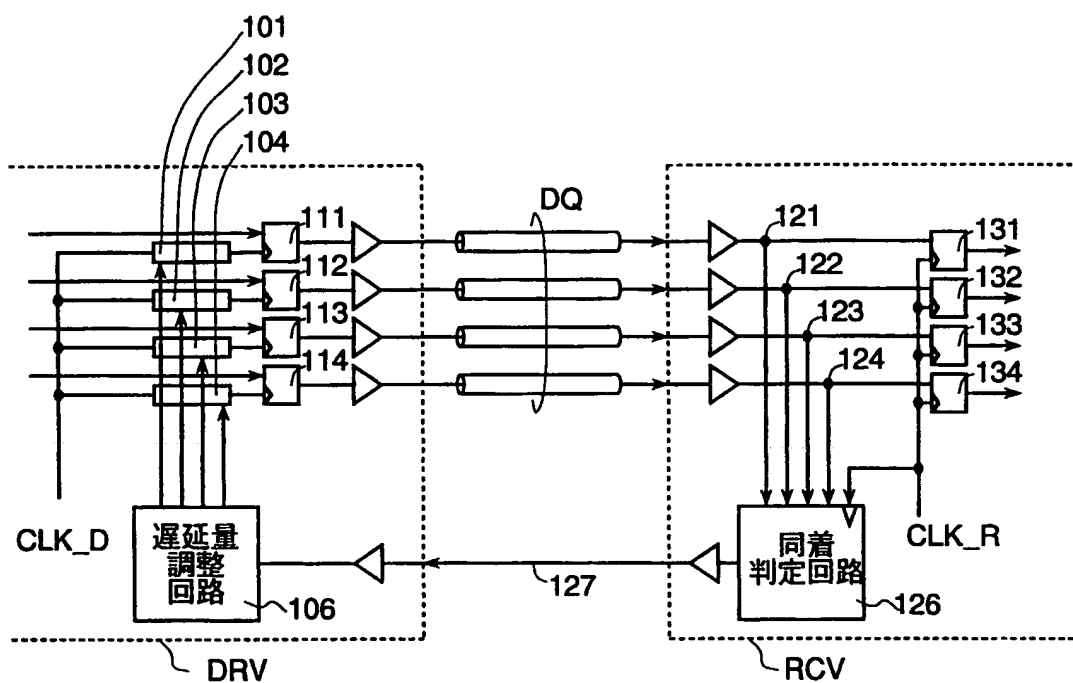


図 2

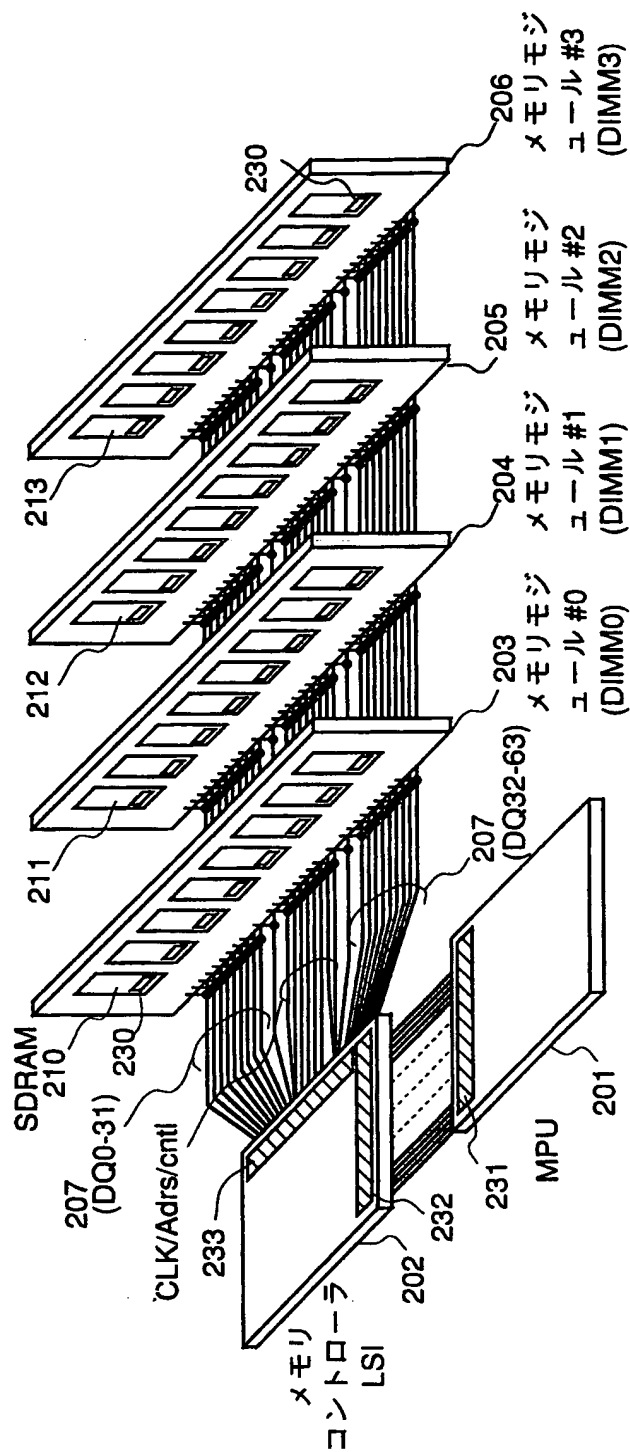
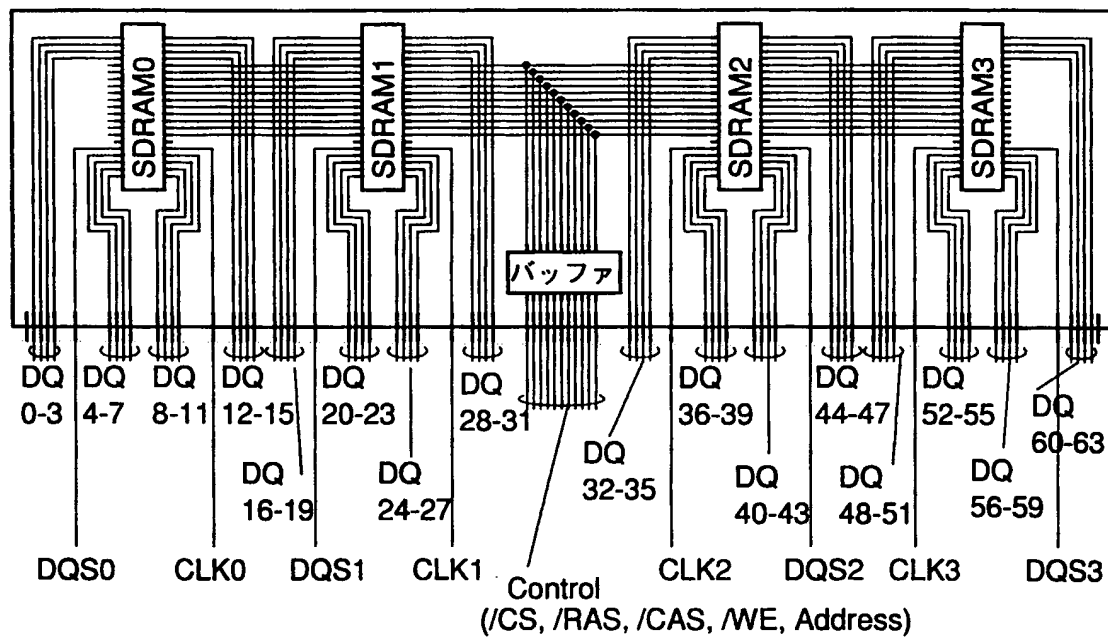


図 3

(a)



(b)

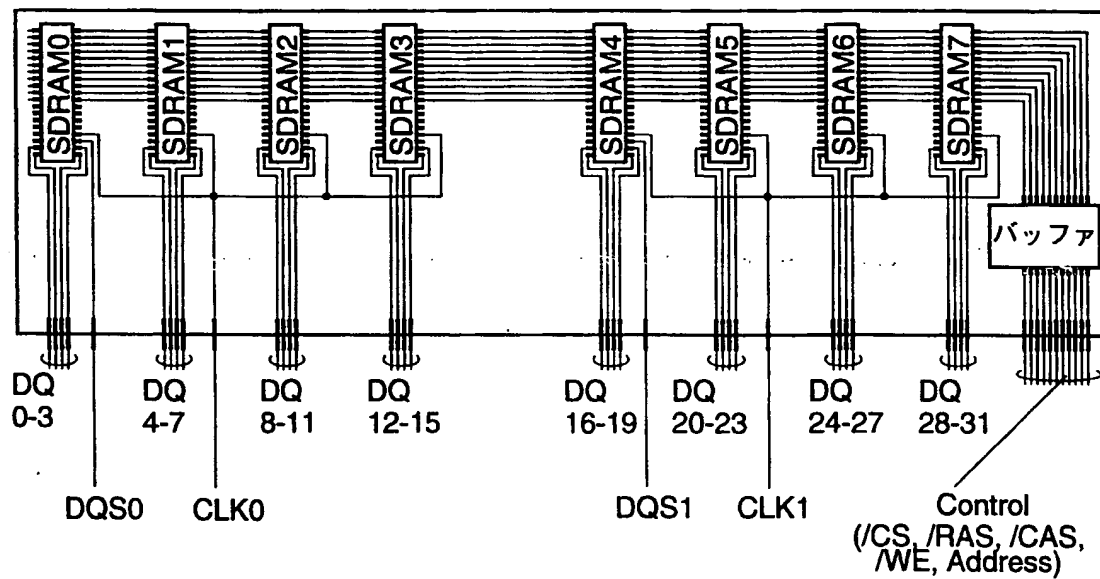
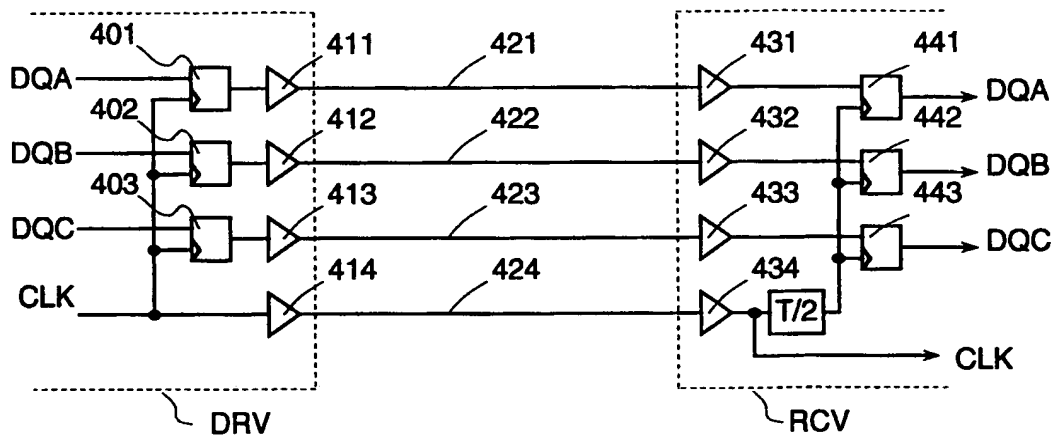




図 4

(a)



(b)

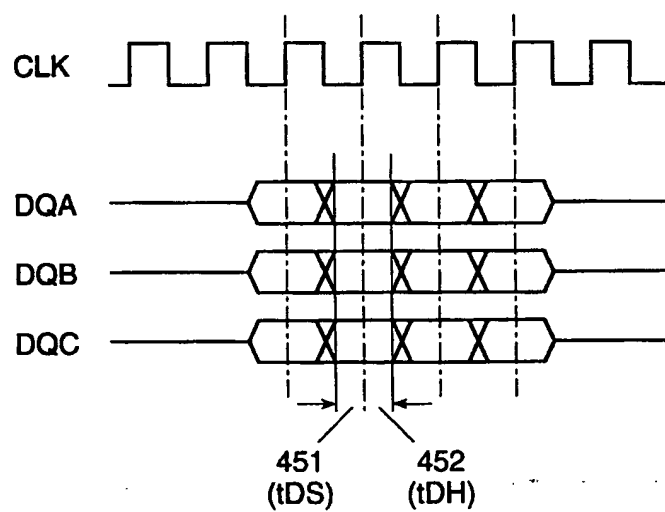
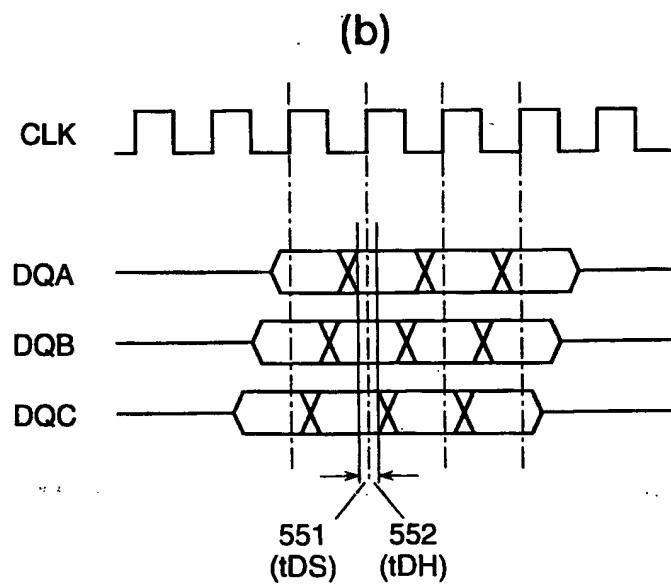
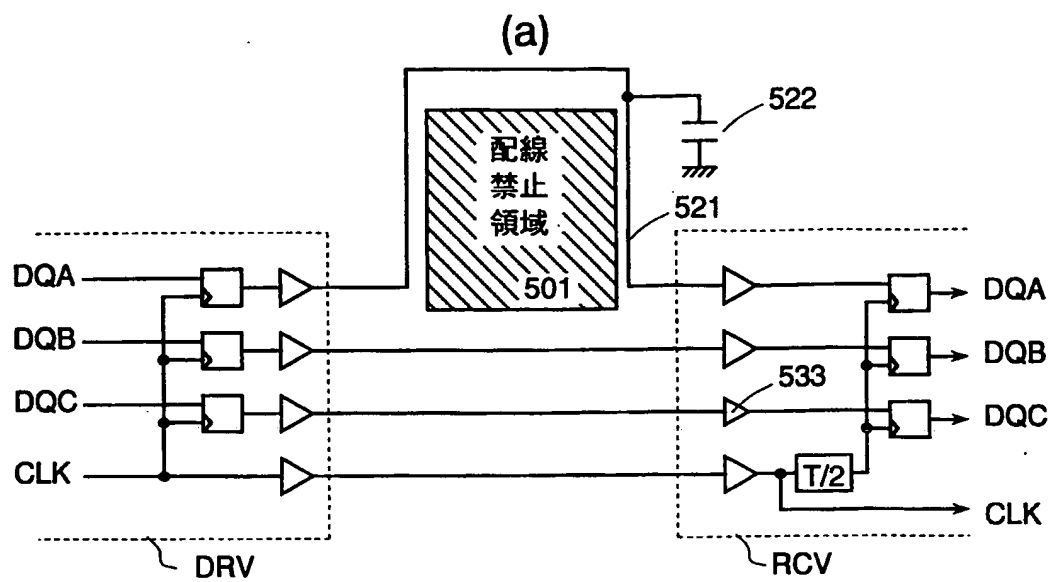


図 5



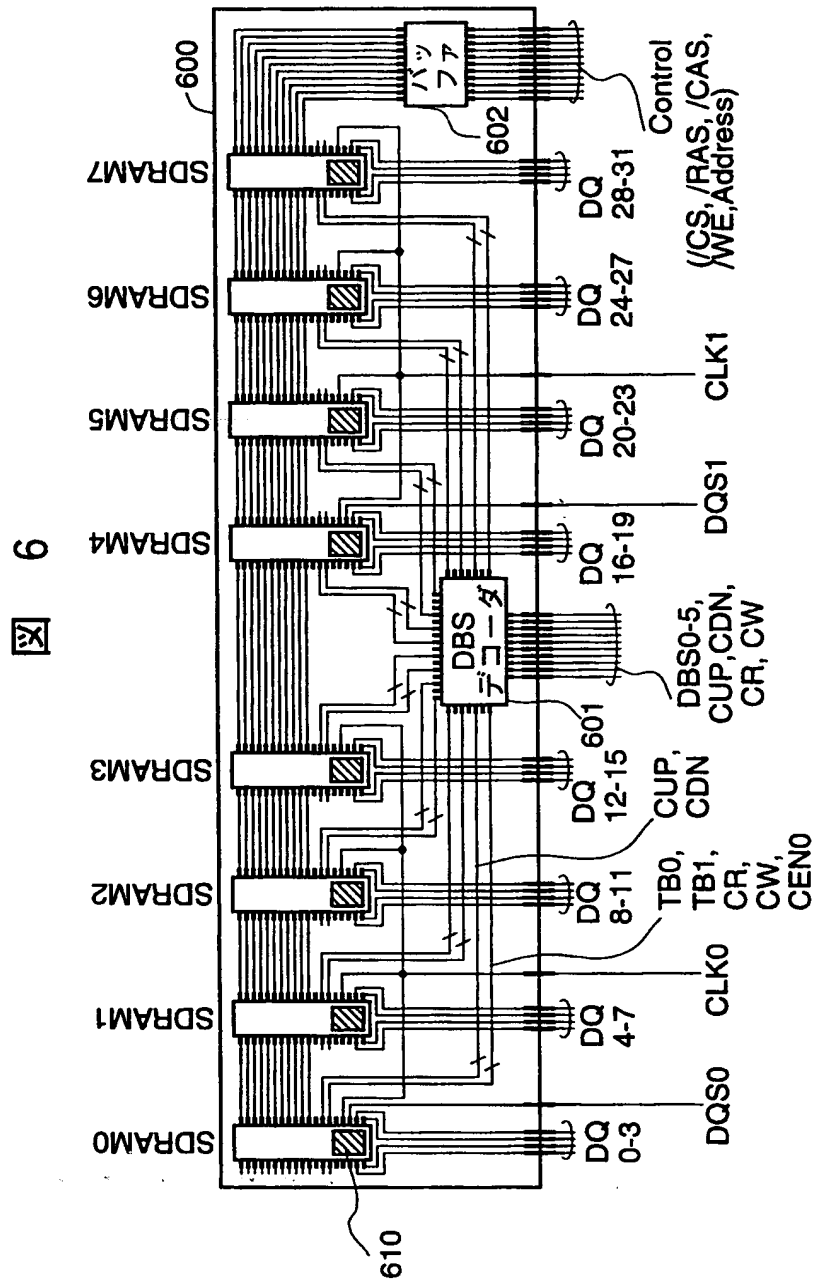


図 7

| DBSi |     |     |     |     |     | DQ# on |        | DQ# on |     |     |
|------|-----|-----|-----|-----|-----|--------|--------|--------|-----|-----|
| #5   | #4  | #3  | #2  | #1  | #0  | DIMM   | SDRAM# | SDRAM  | TB1 | TB0 |
| 0    | 0   | 0   | 0   | 0   | 0   | 0      | 0      | 0      | 0   | 0   |
| 0    | 0   | 0   | 0   | 0   | 1   | 1      | 0      | 1      | 0   | 1   |
| 0    | 0   | 0   | 0   | 1   | 0   | 2      | 0      | 2      | 1   | 0   |
| 0    | 0   | 0   | 0   | 1   | 1   | 3      | 0      | 3      | 1   | 1   |
| 0    | 0   | 0   | 1   | 0   | 0   | 4      | 1      | 0      | 0   | 0   |
| 0    | 0   | 0   | 1   | 0   | 1   | 5      | 1      | 1      | 0   | 1   |
| 0    | 0   | 0   | 1   | 1   | 0   | 6      | 1      | 2      | 1   | 0   |
| 0    | 0   | 0   | 1   | 1   | 1   | 7      | 1      | 3      | 1   | 1   |
| 0    | 0   | 1   | 0   | 0   | 0   | 8      | 2      | 0      | 0   | 0   |
| 0    | 0   | 1   | 0   | 0   | 1   | 9      | 2      | 1      | 0   | 1   |
| 0    | 0   | 1   | 0   | 1   | 0   | 10     | 2      | 2      | 1   | 0   |
| 0    | 0   | 1   | 0   | 1   | 1   | 11     | 2      | 3      | 1   | 1   |
| 0    | 0   | 1   | 1   | 0   | 0   | 12     | 3      | 0      | 0   | 0   |
| 0    | 0   | 1   | 1   | 0   | 1   | 13     | 3      | 1      | 0   | 1   |
| 0    | 0   | 1   | 1   | 1   | 0   | 14     | 3      | 2      | 1   | 0   |
| 0    | 0   | 1   | 1   | 1   | 1   | 15     | 3      | 3      | 1   | 1   |
| 0    | 1   | 0   | 0   | 0   | 0   | 16     | 4      | 0      | 0   | 0   |
| 0    | 1   | 0   | 0   | 0   | 1   | 17     | 4      | 1      | 0   | 1   |
| 0    | 1   | 0   | 0   | 1   | 0   | 18     | 4      | 2      | 1   | 0   |
| 0    | 1   | 0   | 0   | 1   | 1   | 19     | 4      | 3      | 1   | 1   |
| 0    | 1   | 1   | 1   | 0   | 0   | 20     | 5      | 0      | 0   | 0   |
| ...  | ... | ... | ... | ... | ... | ...    | ...    | ...    | ... | ... |
| 1    | 1   | 1   | 1   | 1   | 0   | 62     | 15     | 2      | 1   | 0   |
| 1    | 1   | 1   | 1   | 1   | 1   | 63     | 15     | 3      | 1   | 1   |

図 8

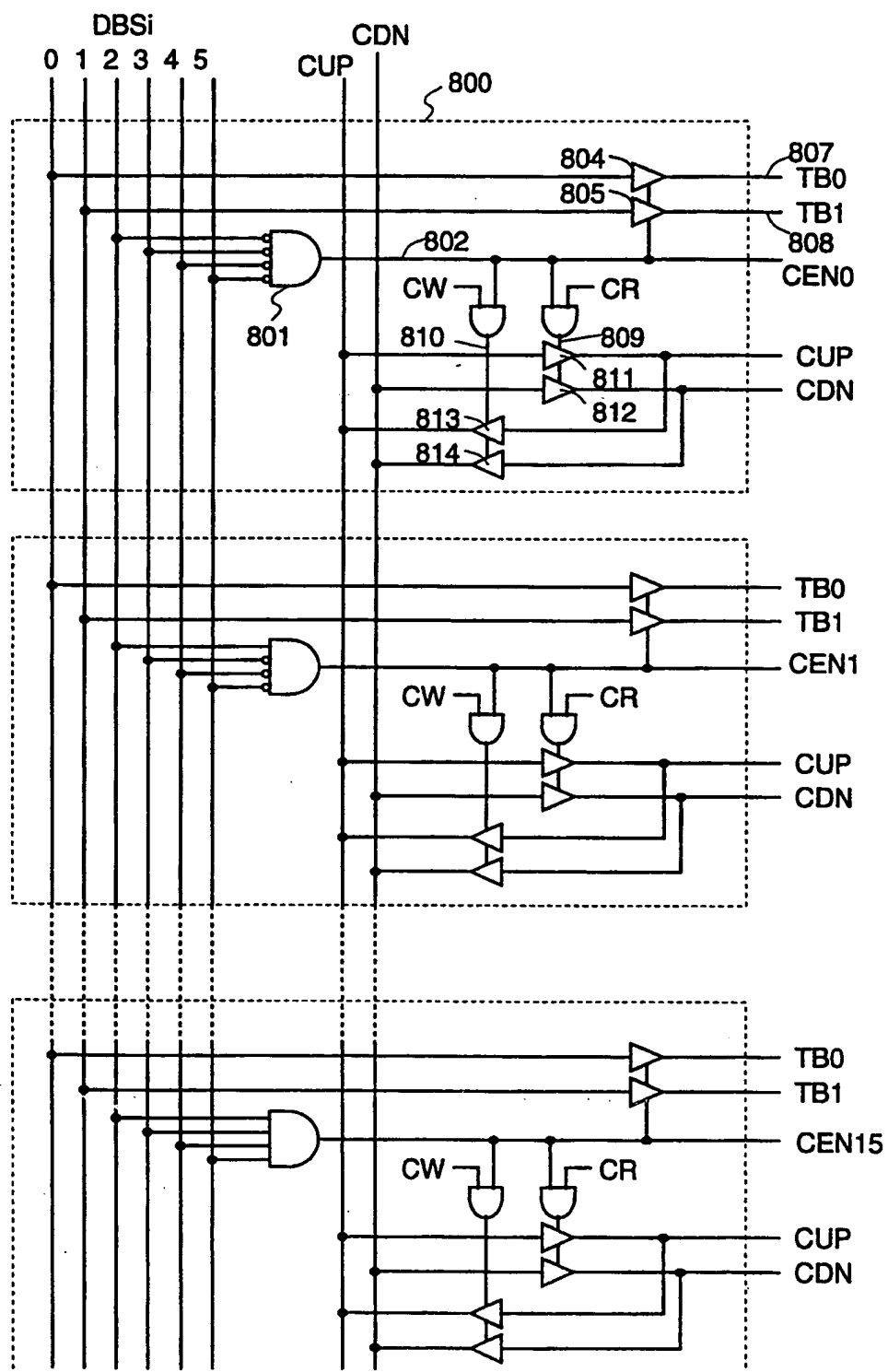


図 9

| CR | CW | 意味  |
|----|----|---|
| 0  | 0  | 通常のDRAM動作モード                                  |
| 0  | 1  | メモリコントローラLSIが出力したビットがSDRAM上で<br>同着するよう調整するモード |
| 1  | 0  | SDRAMが出力したビットがメモリコントローラLSI上で<br>同着するよう調整するモード |
| 1  | 1  | 禁止  |

図 10

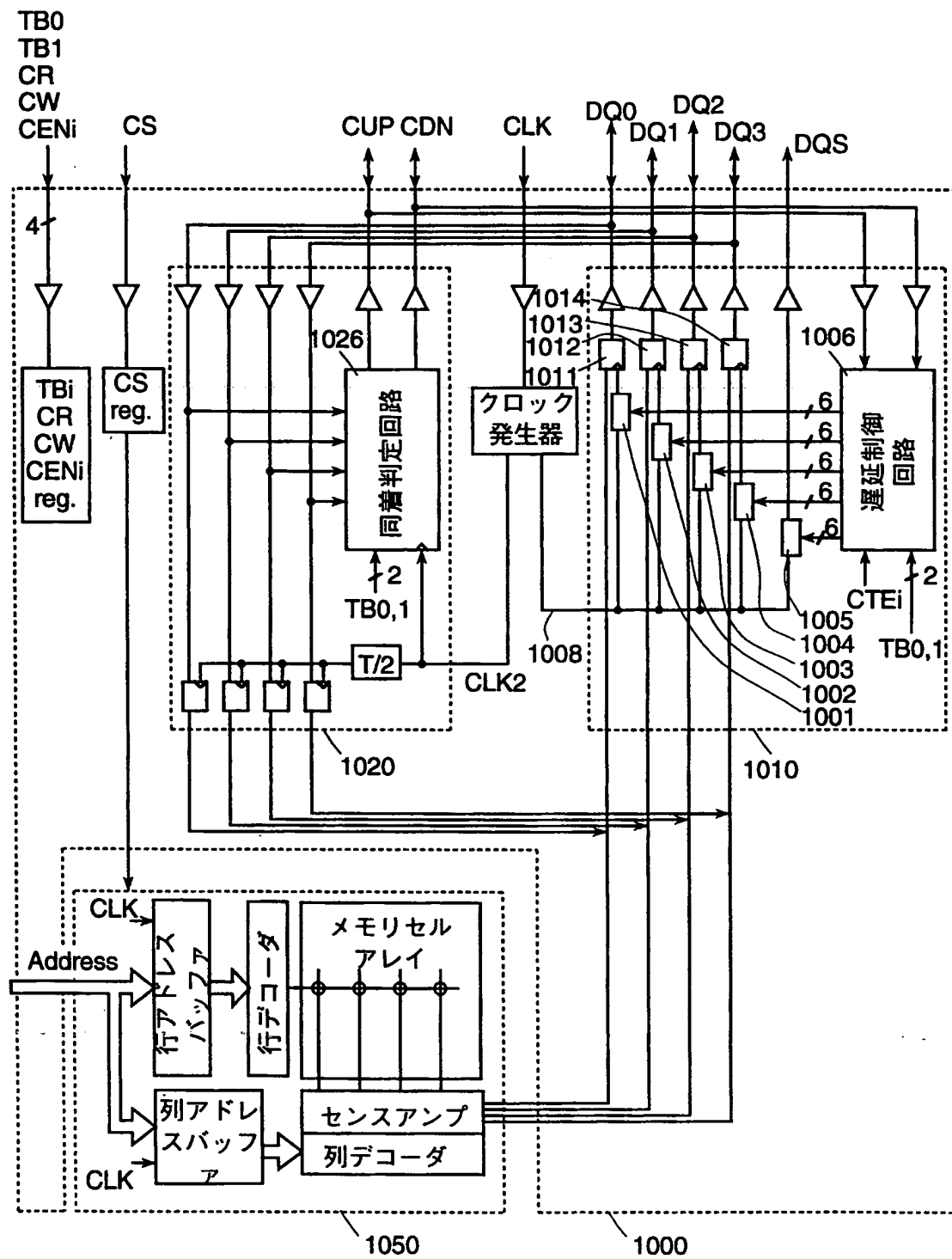


図 11

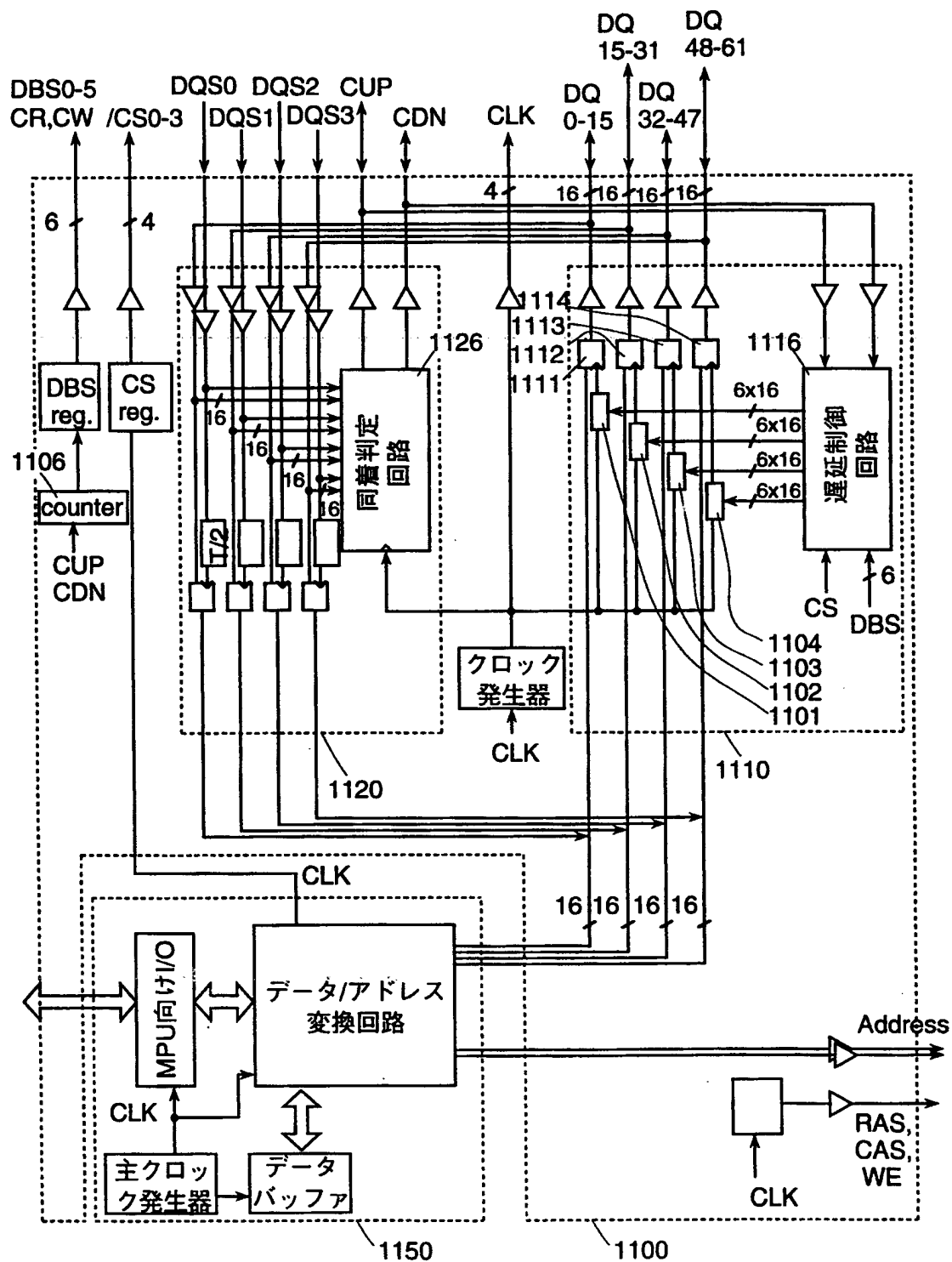




図 12

| CUP CDN |   | 意味                            |
|---------|---|-------------------------------|
| 0       | 0 | 基準信号と対象のデータ信号は同期している、または通常動作時 |
| 0       | 1 | 基準信号が、データ信号よりも早く到着している        |
| 1       | 0 | データ信号が、基準信号よりも早く到着している        |
| 1       | 1 | 禁止                            |

図 13

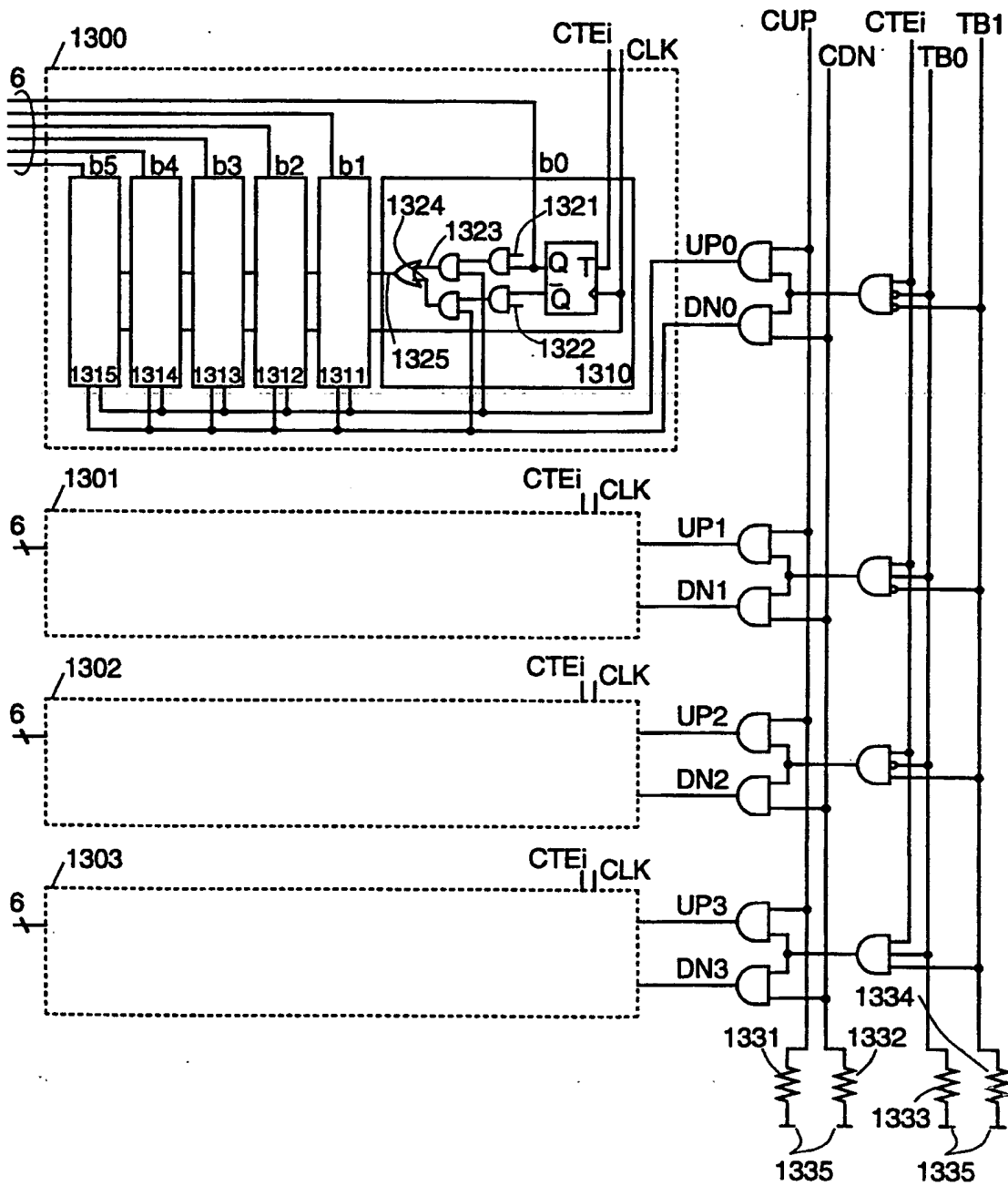
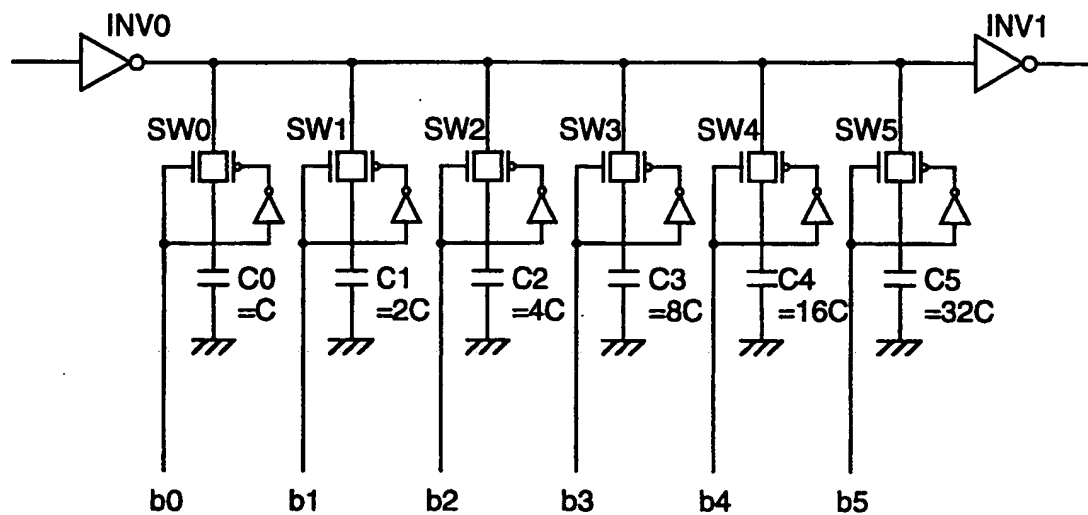


図 1 4



## 図 15

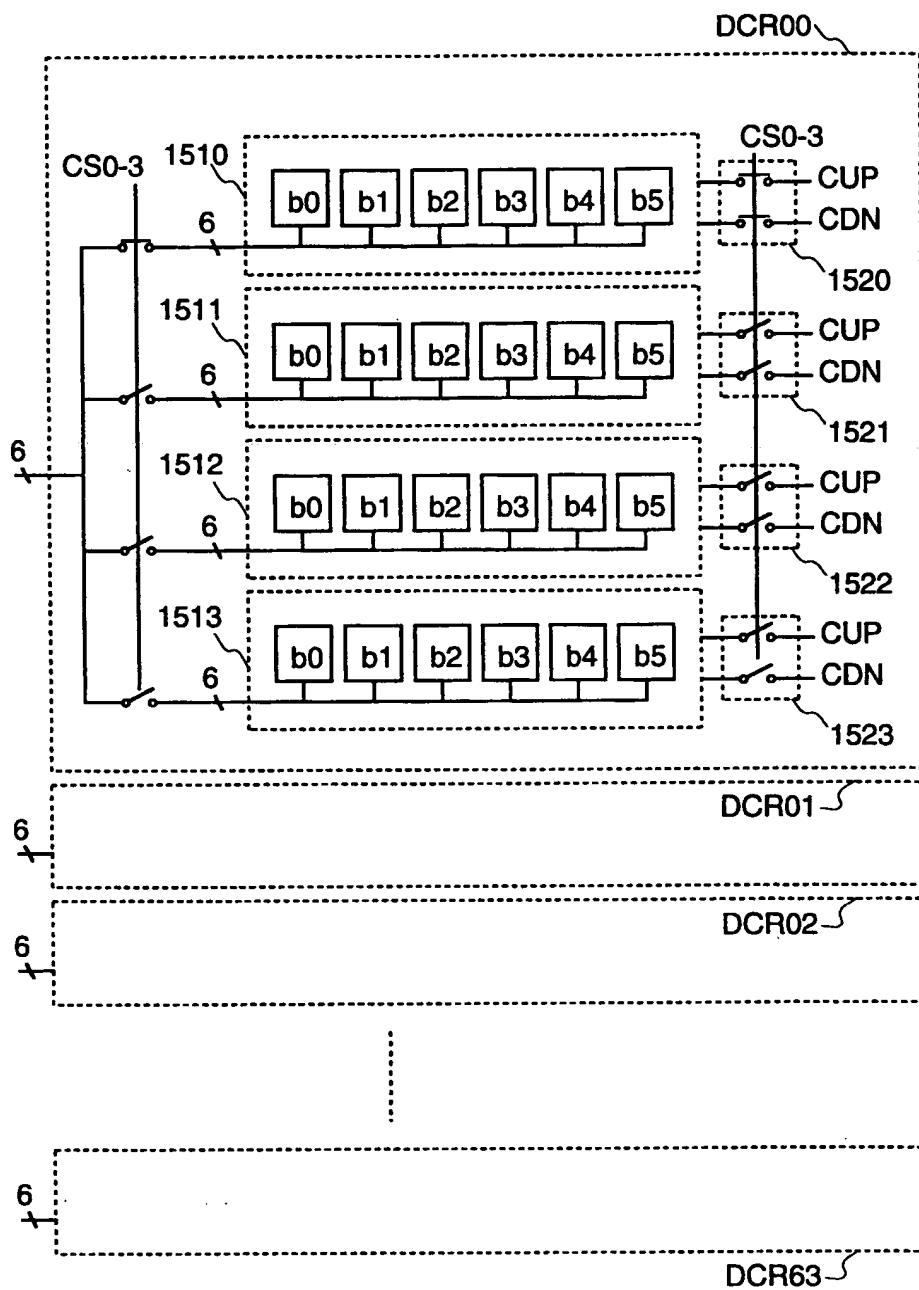


図 16

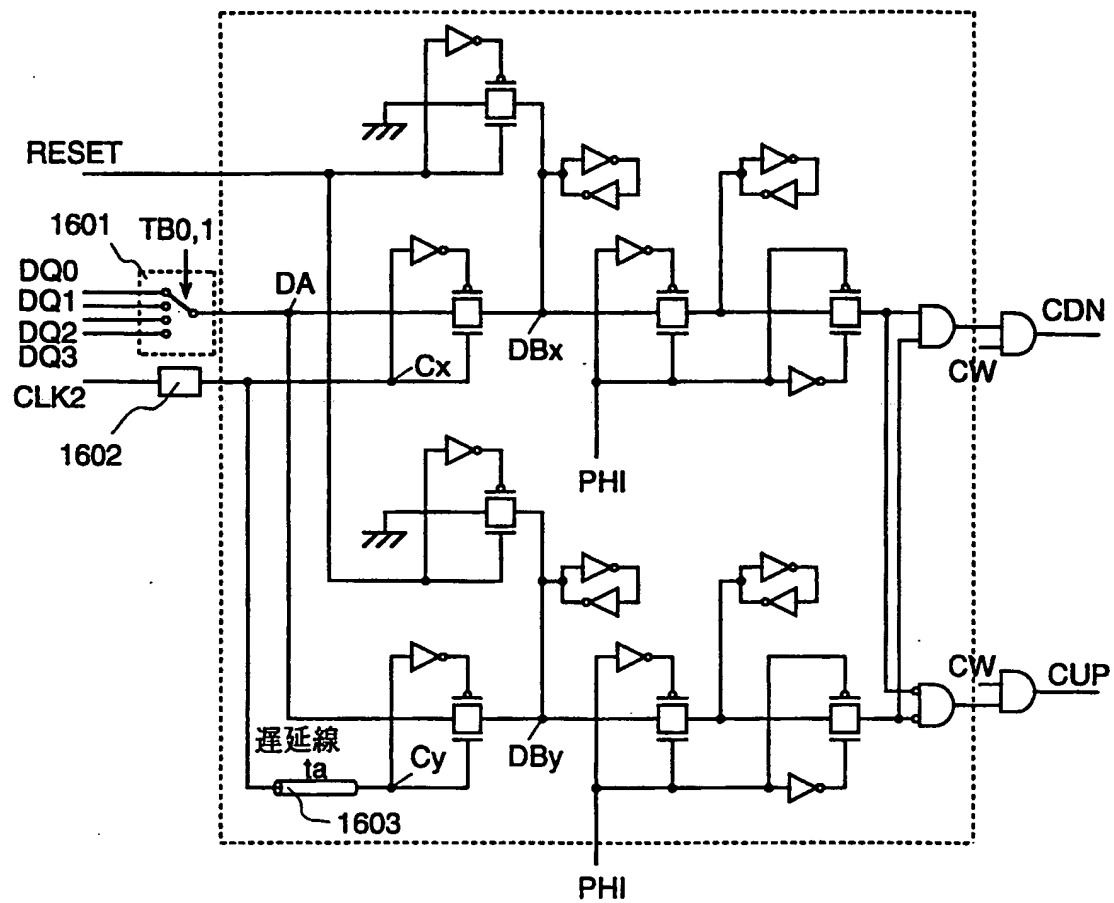


図 17

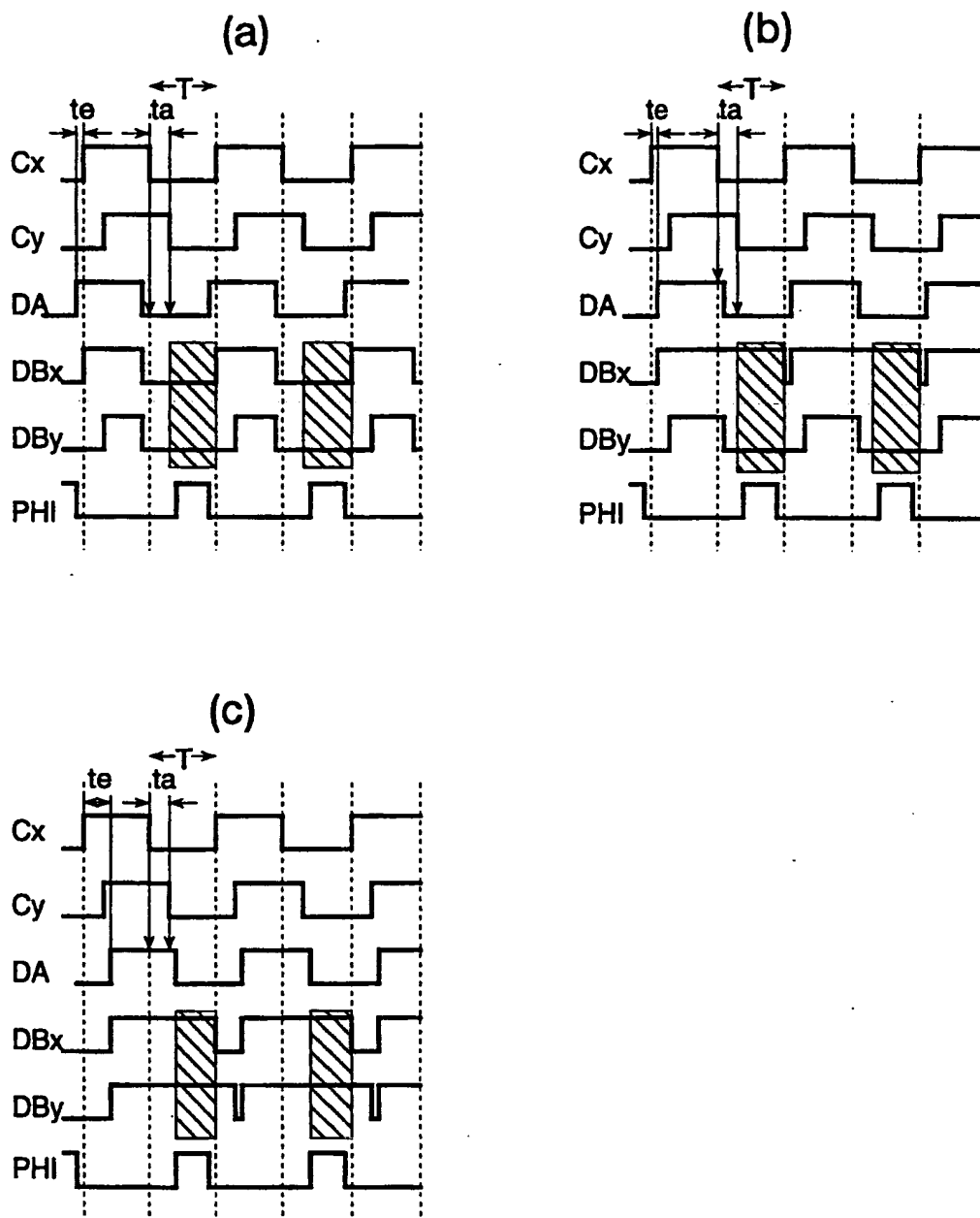
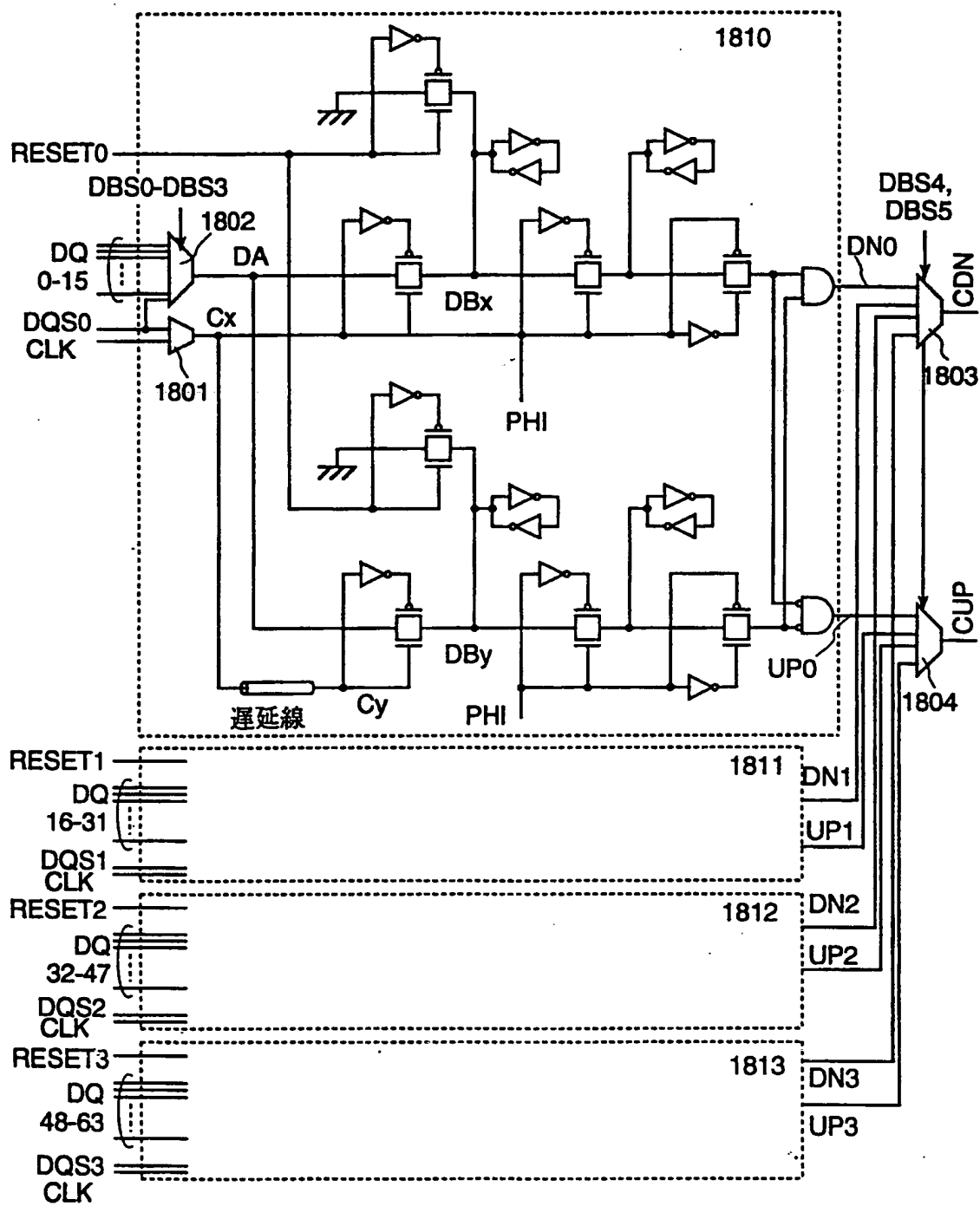


図 18



## 図 19

(a)

|             |            |                 |
|-------------|------------|-----------------|
| CLK2-DQ間同期化 | DIMM0での同期化 | CLK2-DQ0:63 同期化 |
|             | DIMM1での同期化 | CLK2-DQ0:63 同期化 |
|             | DIMM2での同期化 | CLK2-DQ0:63 同期化 |
|             | DIMM3での同期化 | CLK2-DQ0:63 同期化 |

(b)

|             |                          |   |
|-------------|--------------------------|---|
| CLK-DQS間同期化 | CLK-DQS0同期化              | CLK-DQS0 (from DIMM0) 同期化   |
|             |                          | CLK-DQS0 (from DIMM1) 同期化   |
|             |                          | CLK-DQS0 (from DIMM2) 同期化   |
|             |                          | CLK-DQS0 (from DIMM3) 同期化   |
| DQS-DQ間同期化  | CLK-DQS1 同期化             | CLK-DQS1 (from DIMM0:3) 同期化   |
|             | CLK-DQS2 同期化             | CLK-DQS2 (from DIMM0:3) 同期化   |
|             | CLK-DQS3 同期化             | CLK-DQS3 (from DIMM0:3) 同期化   |
|             | DQS-DQ<br>from DIMM0 同期化 | DQS0-DQ0:15 同期化<br>DQS1-DQ16:31 同期化<br>DQS2-DQ32:47 同期化<br>DQS3-DQ48:63 同期化 |
|             | from DIMM1 同期化           | DQS0:3-DQ0:63 同期化   |
|             | from DIMM2 同期化           | DQS0:3-DQ0:63 同期化   |
|             | from DIMM3 同期化           | DQS0:3-DQ0:63 同期化   |



図 20

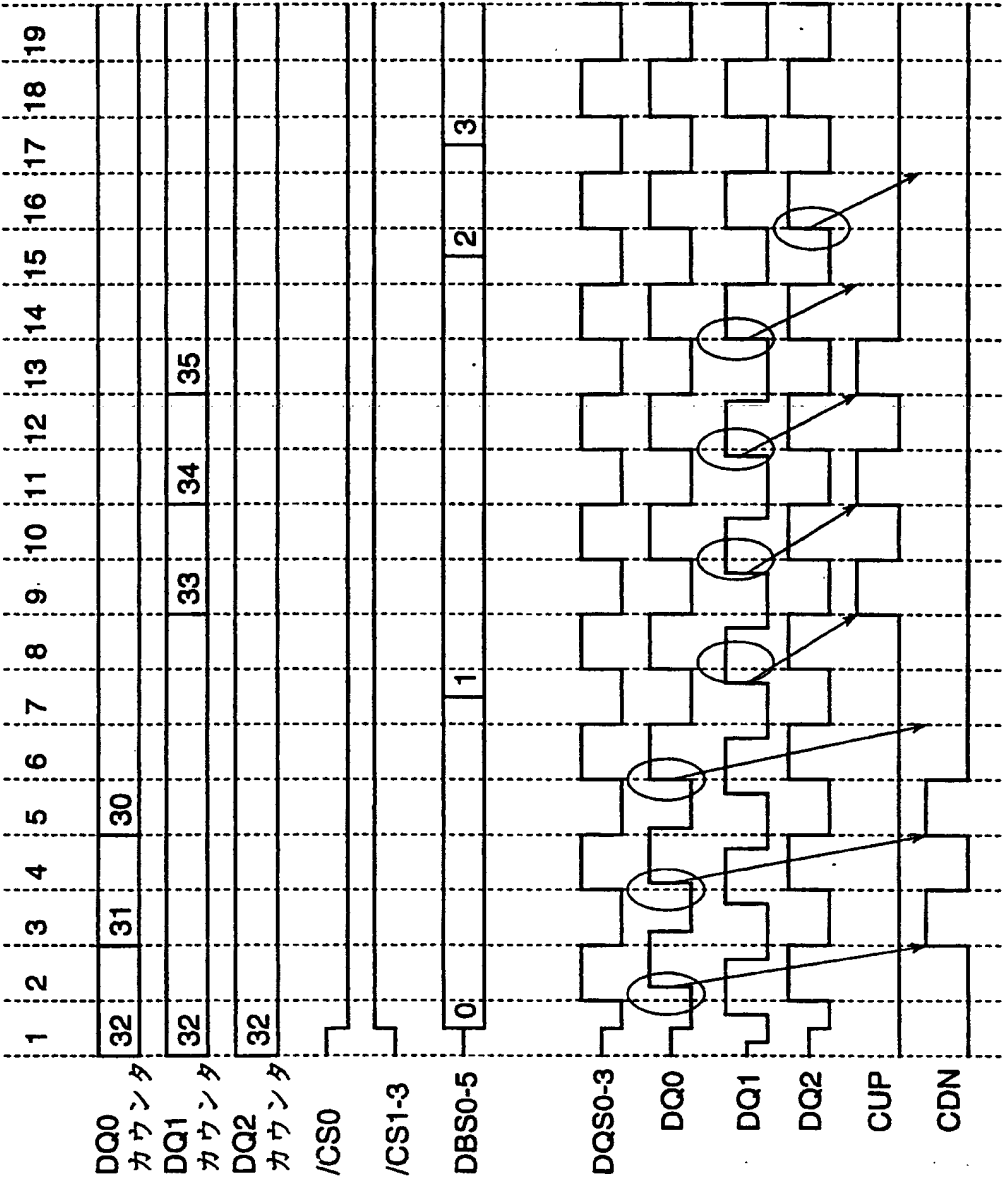


図 2 1

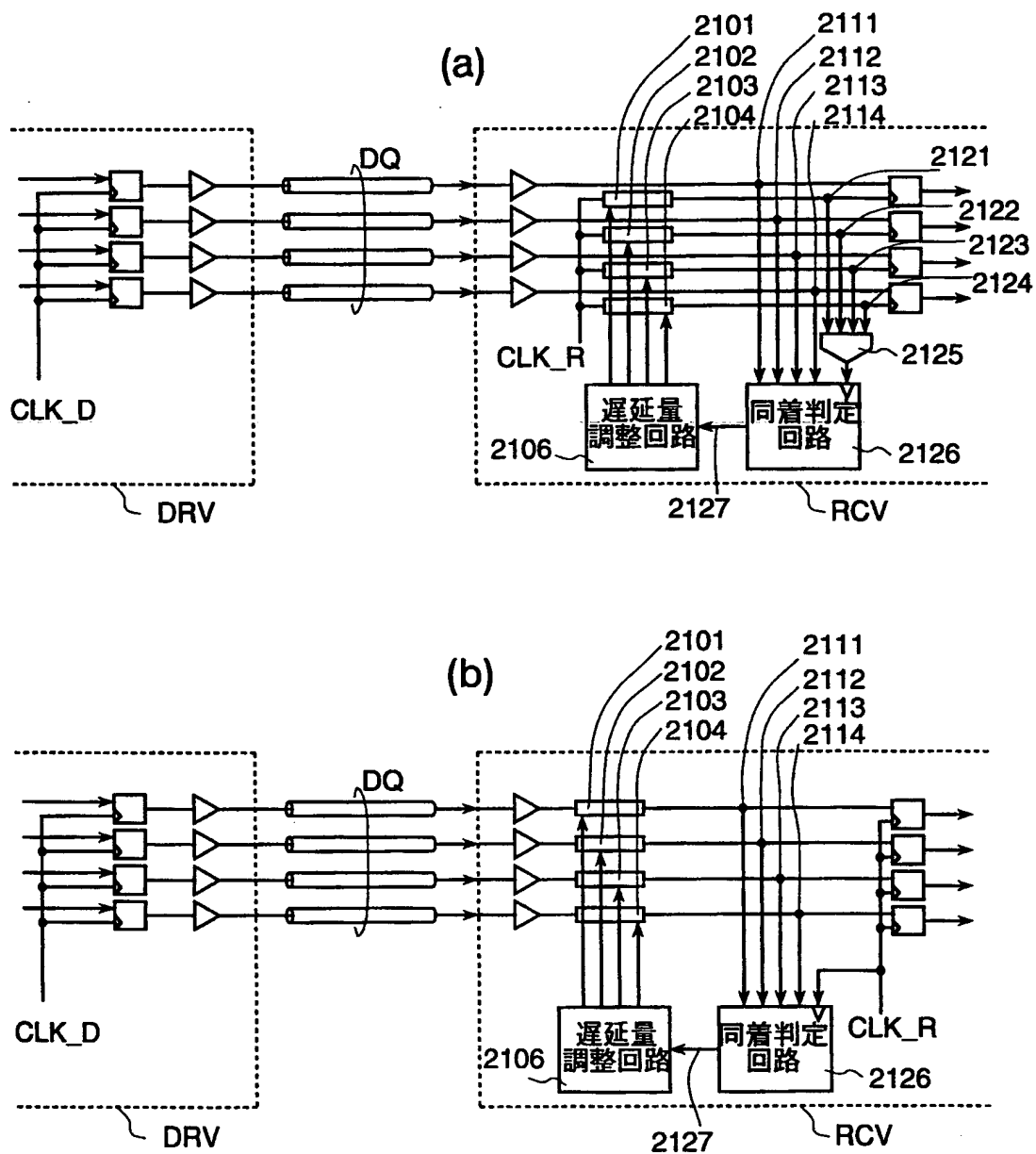


図 2 2

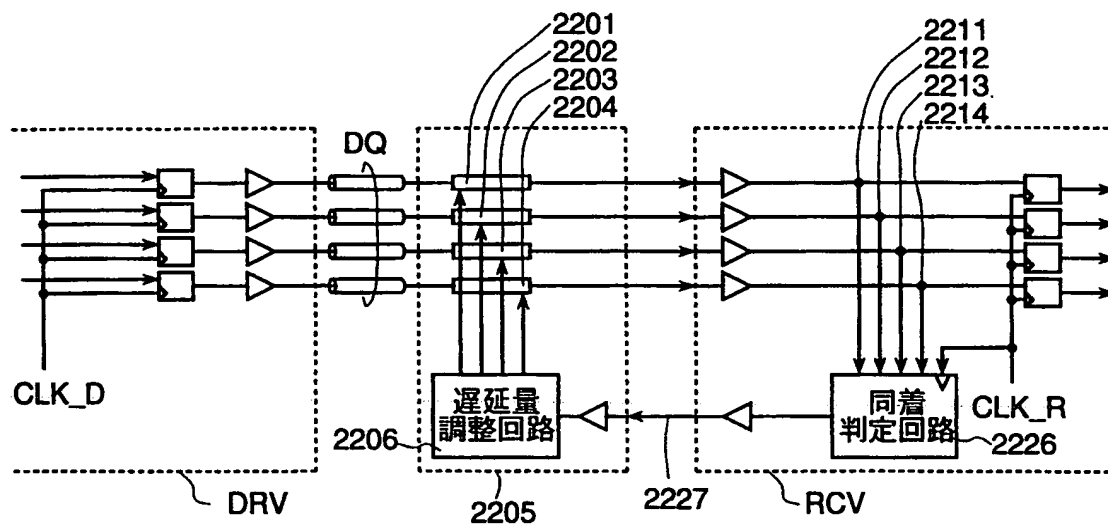


図 2 3

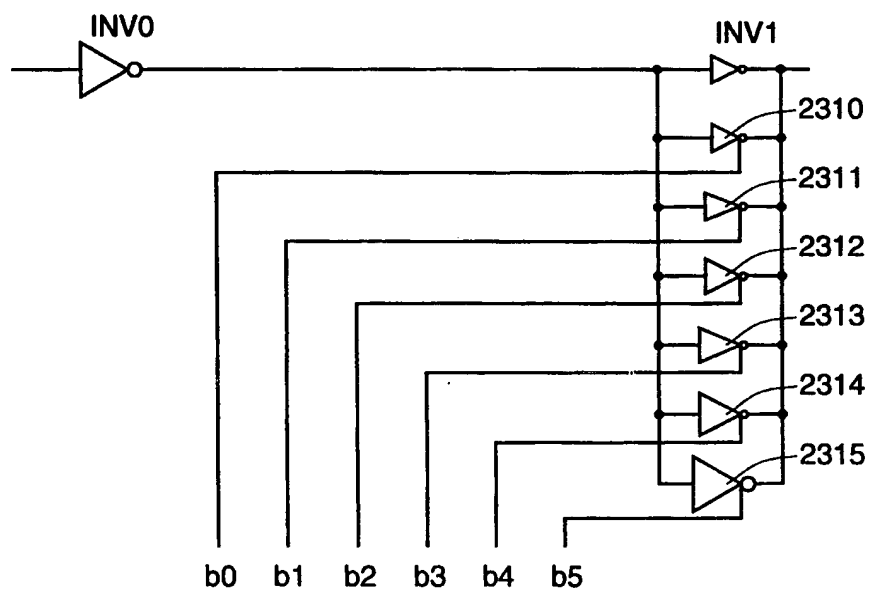
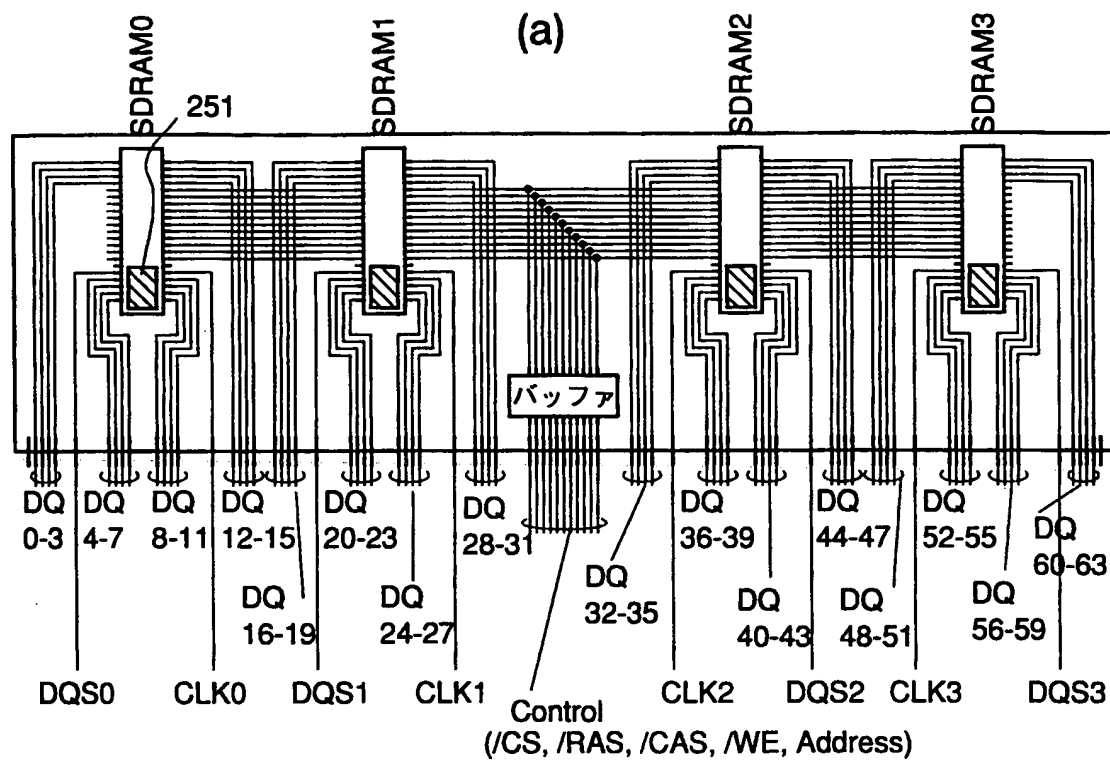
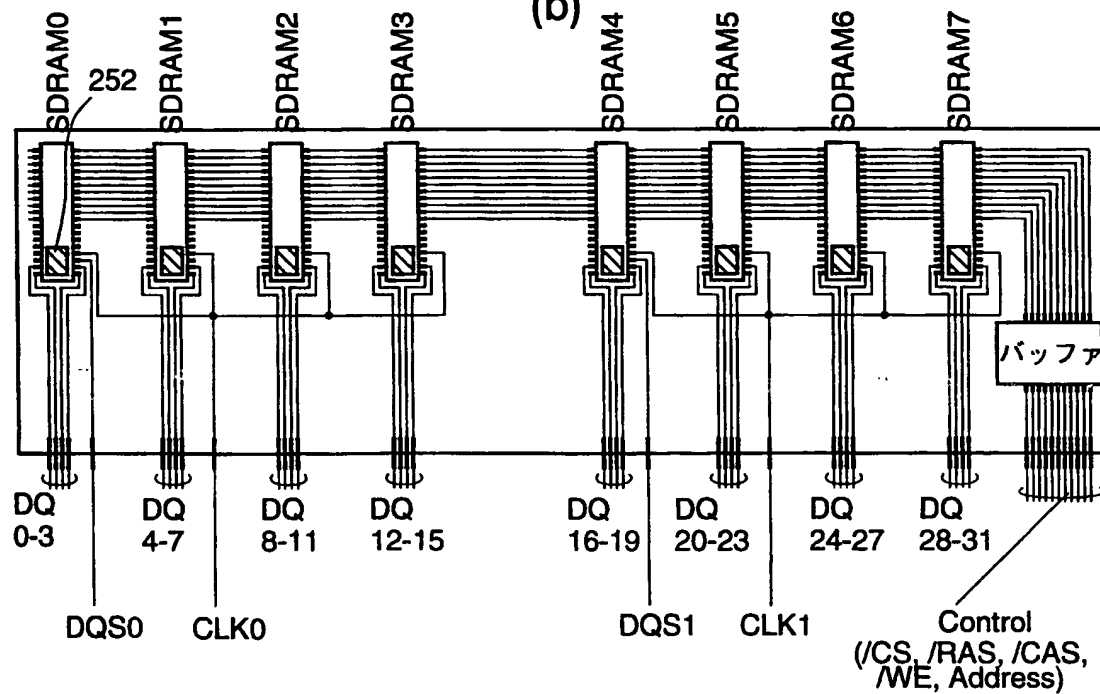


図 24

(a)



(b)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01032

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>6</sup> G06F13/42, G11C11/407

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> G06F13/42, G11C11/407

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1998

Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP, 8-202653, A (Ricoh Co., Ltd.),<br>August 9, 1996 (09. 08. 96),<br>Column 3, line 39 to column 4, line 1 (Family: none) | 1-12                  |
| A         | JP, 8-194664, A (Hitachi, Ltd.),<br>July 30, 1996 (30. 07. 96),<br>Fig. 1 (Family: none)                                   | 1-12                  |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
June 8, 1998 (08. 06. 98)Date of mailing of the international search report  
June 23, 1998 (23. 06. 98)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

| A. 発明の属する分野の分類 (国際特許分類 (IPC))   |  |                                      |
|---|--|--------------------------------------|
| Int. Cl <sup>o</sup> G06F13/42, G11C11/407  |  |                                      |
| B. 調査を行った分野   |  |                                      |
| 調査を行った最小限資料 (国際特許分類 (IPC))  |  |                                      |
| Int. Cl <sup>o</sup> G06F13/42, G11C11/407  |  |                                      |
| 最小限資料以外の資料で調査を行った分野に含まれるもの  |  |                                      |
| 日本国実用新案公報 1926-1998年<br>日本国公開実用新案公報 1971-1998年  |  |                                      |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)   |  |                                      |
| C. 関連すると認められる文献   |  |                                      |
| 引用文献の<br>カテゴリー*   | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号                     |
| A   | JP, 8-202653, A (株式会社リコー) 9. 8月. 1996 (09. 08. 96), 第3欄第39行-第4欄第1行 (ファミリーなし) | 1-12                                 |
| A   | JP, 8-194664, A (株式会社日立製作所) 30. 7月. 1996 (30. 07. 96), 第1図 (ファミリーなし)         | 1-12                                 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。  |  |                                      |
| * 引用文献のカテゴリー<br>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」 先行文献ではあるが、国際出願日以後に公表されたもの<br>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br>「O」 口頭による開示、使用、展示等に言及する文献<br>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」 同一パテントファミリー文献 |  |                                      |
| 国際調査を完了した日  | 08. 06. 98   | 国際調査報告の発送日                           |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/JP)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号  |  | 特許庁審査官 (権限のある職員)<br>堀江 義隆            |
|   |  | 5E 9172<br>電話番号 03-3581-1101 内線 3523 |

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**